

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

---

In re Patent Application of:  
Shinichi Miyazaki et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: METHOD OF FORMING A  
CONNECTING CONDUCTOR AND  
WIRING OF A SEMICONDUCTOR CHIP

---

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. §119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-030119	February 6, 2003

Application No.: Not Yet Assigned

Docket No.: N0029.1650

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 5, 2004

Respectfully submitted,

By 

Steven I. Weisburd

Registration No.: 27,409

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

1177 Avenue of the Americas

41st Floor

New York, New York 10036-2714

(212) 835-1400

Attorney for Applicant

SIW/da

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月    6 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 3 0 1 1 9  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 3 0 1 1 9 ]

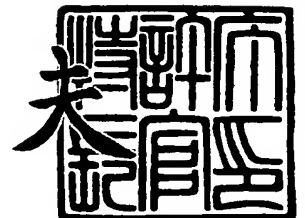
出      願                      人                      N E C エレクトロニクス株式会社  
Applicant(s):




2 0 0 3 年    9 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 6 6 2 7

【書類名】 特許願

【整理番号】 75310781

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/12  
H05K 3/46

【発明の名称】 半導体装置及び半導体装置の製造方法

【請求項の数】 37

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 宮崎 真一

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 本多 広一

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 大谷内 賢治

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【手数料の表示】

【予納台帳番号】 025782

【納付金額】 21,000円

【代理人】

【識別番号】 100095740

【弁理士】

【氏名又は名称】 開口 宗昭

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0300181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

外部との電氣的接続を行う接続パッドを少なくとも一面に備える半導体素子と

、  
前記半導体素子の接続パッドを備える面の少なくとも一面上に配置される配線支持体と、

前記配線支持体を介して半導体素子上に配置される配線と、

前記接続パッドと前記配線とを電氣的に接続する導体と

を備える半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、

前記配線支持体は少なくとも一つの貫通部を有し、

当該貫通部が前記接続パッド上に配置されるように前記配線支持体は配置され

、  
前記導体は前記貫通部内に形成される

半導体装置。

【請求項 3】

請求項 2 記載の半導体装置であって、

前記貫通部の少なくとも一つは、当該貫通部の深さを貫通部の開口面に平行であって面積が最大の面についての換算直径で除した数値が 1 以上である

半導体装置。

【請求項 4】

請求項 2 又は 3 記載の半導体装置であって、

前記貫通部は、前記配線支持体に埋設された貫通体が除去されてなる

半導体装置。

【請求項 5】

請求項 2 又は 3 記載の半導体装置であって、

前記配線支持体は前記貫通部を備えた状態で前記半導体素子と接合してなる半導体装置。

【請求項 6】

請求項 5 記載の半導体装置であって、  
前記貫通部の少なくとも一つは、成形加工されてなる半導体装置。

【請求項 7】

請求項 5 記載の半導体装置であって、  
前記配線支持体は成形加工によって形成されてなる半導体装置。

【請求項 8】

請求項 5 から 7 のいずれか記載の半導体装置であって、  
前記半導体素子上に配置される少なくとも一部の配線の少なくとも一部分は、  
前記配線支持体に埋設されてなる半導体装置。

【請求項 9】

請求項 8 記載の半導体装置であって、  
前記配線は前記配線支持体の前記半導体素子との対向面の反対面側に露出部を有し、

前記配線支持体の前記半導体素子との対向面の反対面と当該露出部との段差は  
1 0  $\mu$  m 以下である半導体装置。

【請求項 1 0】

請求項 1 から 9 いずれか記載の半導体装置であって、  
前記配線と前記導体とは実質的に連続体である半導体装置。

【請求項 1 1】

請求項 1 から 1 0 いずれか記載の半導体装置であって、  
外部との電氣的接続を担う接続体を備え、

前記接続体はその一部が前記配線支持体に埋設され、前記配線と電氣的に接続する

半導体装置。

【請求項 12】

請求項 11 記載の半導体装置であって、

前記接続体は前記配線支持体が備える第 2 の貫通部に埋設されてなる半導体装置。

【請求項 13】

請求項 12 記載の半導体装置の複数を電氣的に接続してなる積層体であって、

前記接続体を相互の電氣的接続部とする

半導体装置。

【請求項 14】

請求項 1 から 13 いずれか記載の半導体装置であって、

前記半導体素子の前記導体との対向面の反対面側に配置されて前記半導体素子と接続する支持体を備え、

前記支持体は前記半導体素子が発生する熱を外部に拡散する

半導体装置。

【請求項 15】

請求項 14 記載の半導体装置であって、

前記支持体は導体であって前記接続体と電氣的に接続する

半導体装置。

【請求項 16】

請求項 15 記載の半導体装置であって、

前記支持体は

電氣的に絶縁された領域を備え、

当該電気絶縁領域で前記接続体と接続する

半導体装置。

【請求項 17】

(a) 半導体素子の接続パッドを複数備える面上に配線支持体を配置し、



(b) 前記配線支持体を介して前記半導体素子上に配線を配置し、  
(c) 当該配線と前記接続パッドとを導体によって接続する  
工程を備える半導体装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体装置の製造方法であって、  
工程 (b) と (c) とを一括で実行する  
半導体装置の製造方法。

【請求項 1 9】

請求項 1 8 記載の半導体装置であって、  
前記一括で実行する工程はめっき工程を含む  
半導体装置の製造方法。

【請求項 2 0】

請求項 1 7 から 1 9 のいずれか記載の半導体装置の製造方法であって、  
前記配線支持体は少なくとも一つの貫通部を備え、  
当該貫通部は、  
その貫通深さを貫通部の開口面に平行であって面積が最大の面についての換算  
直径で除した数値が 1 以上であり、  
工程 (c) では、  
前記貫通部内の少なくとも一部に形成される前記導体によって前記配線と前記  
接続パッドとを接続する  
半導体装置の製造方法。

【請求項 2 1】

請求項 2 0 記載の半導体装置の製造方法であって、  
工程 (a) の前に  
(d) 前記接続パッドの各々の上に柱状体を形成する  
工程を備え、  
工程 (a) では、  
前記柱状体の少なくとも一部が前記配線支持体に埋設されるように前記配線支  
持体を配置し、

工程 (a) と工程 (b) との間に、  
(e) 前記柱状体を除去して貫通部を形成する  
工程を備え、  
工程 (b) では、  
前記配線支持体上に導電性物質を配置した後、配線及び導体を構成する部分以外を除去する  
半導体装置の製造方法。

**【請求項 2 2】**

請求項 2 1 記載の半導体装置の製造方法であって、  
工程 (a) と工程 (e) との間に  
(f) 前記半導体素子との対向面の反対面側から前記配線支持体を除去して当該除去によって前記配線支持体に形成される面の面上に前記柱状体を露出させる  
工程を備える  
半導体装置の製造方法。

**【請求項 2 3】**

請求項 2 1 又は 2 2 記載の半導体装置の製造方法であって、  
前記配線支持体の材料として流動性が変動可能な材料を用い、  
工程 (a) では、  
流動性を有する状態で前記半導体素子上に供給した前記配線支持体の材料の流動性を喪失させて前記半導体素子上に配置する  
半導体装置の製造方法。

**【請求項 2 4】**

請求項 2 0 記載の半導体装置の製造方法であって、  
工程 (a) の前に  
(g) 前記配線支持体を穿孔して貫通部を形成する  
工程を備え、  
工程 (a) では、  
前記貫通部が形成された配線支持体を前記半導体素子の接続パッドを備える面上に配置し、

工程（b）では、  
前記配線支持体上に導電性物質を配置した後、配線及び導体を構成する部分以外を除去する

半導体装置の製造方法

【請求項 25】

請求項 24 記載の半導体装置の製造方法であって、  
工程（g）の穿孔方法としてレーザー加工法を用いる  
半導体装置の製造方法

【請求項 26】

請求項 24 記載の半導体装置の製造方法であって、  
工程（g）の穿孔方法として打ち抜き加工法を用いる  
半導体装置の製造方法

【請求項 27】

請求項 24 記載の半導体装置の製造方法であって、  
工程（g）の穿孔方法として化学エッチング加工法を用いる  
半導体装置の製造方法

【請求項 28】

請求項 20 記載の半導体装置の製造方法であって、  
工程（a）の前に  
（h）成形加工によって貫通部を備える配線支持体を形成する  
工程を備え、  
工程（a）では、  
前記貫通部が形成された配線支持体を前記半導体素子の接続パッドを備える面上に配置する

半導体装置の製造方法

【請求項 29】

請求項 28 記載の半導体装置の製造方法であって、  
工程（h）では  
成形加工によって貫通部と配線支持体とを一括で形成する

## 半導体装置の製造方法

## 【請求項 3 0】

請求項 2 4 から 2 9 のいずれか記載の半導体装置の製造方法であって、  
工程（a）で配置される前記配線支持体は前記半導体素子と対向する面の反対面側に凹部を備え、  
工程（b）では、  
当該凹部を含む前記配線支持体上に導電性物質を配置した後、前記凹部内に配置された導電性物質が配線となるように当該配線支持体上の導電性物質を除去する

## 半導体装置の製造方法

## 【請求項 3 1】

請求項 3 0 記載の半導体装置の製造方法であって、  
前記凹部はプレス加工で形成される

## 半導体装置の製造方法

## 【請求項 3 2】

請求項 3 0 記載の半導体装置の製造方法であって、  
前記凹部はレーザー加工で形成される

## 半導体装置の製造方法

## 【請求項 3 3】

請求項 3 1 記載の半導体装置の製造方法であって、  
前記凹部は化学エッチング加工で形成される

## 半導体装置の製造方法

## 【請求項 3 4】

請求項 2 2 記載の半導体装置の製造方法であって、  
工程（d）の前に、  
（i）平板状の支持体上に第 2 の柱状体を配置し、  
（j）前記支持体上の当該第 2 の柱状体を配置した領域以外の領域に前記半導体素子を配置する

工程を備え、

工程 (a) では、

前記柱状体と前記第 2 の柱状体とのそれぞれについて、少なくとも一部が前記配線支持体に埋設されるように前記配線支持体を配置し、

工程 (f) では、

前記柱状体に加えて前記第 2 の柱状体を露出させるように配線支持体の一部を除去し、

工程 (e) では、

前記柱状体に加えて前記第 2 の柱状体を除去して第 2 の貫通部を形成し、

工程 (b) では、

前記配線を配置するときに当該第 2 の貫通部の内部にも導電性物質を配置する半導体装置の製造方法。

**【請求項 35】**

請求項 34 記載の半導体装置の製造方法であって、

工程 (c) に続いて、

(k) 前記支持体を前記半導体素子及び前記接続体から剥離する工程を備える半導体装置の製造方法。

**【請求項 36】**

請求項 30 記載の半導体装置の製造方法であって、

工程 (g) では、

前記配線支持体を穿孔して貫通部とともに第 2 の貫通部を形成し、

工程 (b) では、

前記導電性物質によって当該第 2 の貫通部を充填し、当該第 2 の貫通部が充填されてなる接続体の少なくとも一つと前記配線とを電氣的に接続させる半導体装置の製造方法。

**【請求項 37】**

請求項 35 または 36 記載の半導体装置の製造方法であって、

(1) 複数の製造結果物について、各々の前記接続体を電氣的接続点として積層する

工程を備える

半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ビルドアップ多層基板と接続する半導体装置の製造方法に関するものである。

【0 0 0 2】

【従来の技術】

近年の I C チップの高性能化・小型化に伴い、I C チップを搭載する基板の配線密度の高密度化、多ピン化が重要な技術的課題となっている。現在、実用化されている高密度実装基板の一例としてビルドアップ多層基板がある。このものは、コア基板となるガラスエポキシ基板上にエポキシ系の樹脂層を形成し、この樹脂層にレーザー加工やフォトエッチング加工によってビアホールを形成した後、その上から、銅めっきで内層導体パターンやビア導体を形成し、以後、同様の工程を順次繰り返して多層化するものである。

【0 0 0 3】

このビルドアップ多層基板と半導体素子との接続は、従来はビルドアップ多層基板が備えるパッドと半導体素子が備えるパッドと半田バンプを用いて接合していた。

ところが、例えば特許文献 1 が 0 0 0 3 段落目に指摘するように、半田バンプでは狭ピッチ化に対応できない。

【0 0 0 4】

このため、特許文献 1 では、半導体素子上に絶縁層樹脂を形成し、その後、半導体素子が備えるパッドとビルドアップ多層基板が備えるパッドとを接続するための導電ペースト層形成用の穴を加工することを 0 0 2 7 段落目に開示する。

しかし、この製造方法では、絶縁層樹脂への穴あけ工法としてレーザーを用いるため、穴あけ加工によって半導体がダメージを受ける危険性が高い。このため、半導体素子上にある絶縁樹脂のレーザーによる穴あけ加工は、さらなる半導体

素子の小チップ化及びさらなる半導体素子上の接続パッドの狭ピッチ化には対応できない加工方法である。

#### 【0005】

また、特許文献1では薬品現像を用いて穴あけ工法を用いることも開示している。

しかし、絶縁樹脂として一般的に用いられるエポキシ系の樹脂を半導体素子が共存する状態で化学的にエッチングしようとしても半導体素子への化学的なダメージを考慮すると現像材料としてエッチング力の強い材料を用いることは困難である。従って、加工された穴のアスペクト比、即ち穴の深さを穴の最大開口部分の直径で除した数値、が高いものとするのは極めて困難であった。このため、エポキシ系樹脂の半導体素子上での薬品現像による穴あけ加工は半導体素子上の接続パッドのさらなる狭ピッチ化には対応できない加工方法である。

#### 【0006】

さらに、例えば特許文献2では、半導体素子上に感光性樹脂を形成し、従来技術であるフォトリソグラフィをこの感光性樹脂に実行して半導体素子が備えるパッドとビルドアップ多層基板が備えるパッドとを接続するための穴を加工する方法を0013～0014段落目に開示する。

しかし、半導体素子は使用時に60℃以上の高温となる場合もあるから、感光性樹脂を少なくとも半導体素子に直接接触する材料として用いることは、長期の使用に亘っての信頼性を確保しにくい。チップサイズが小型化、高機能化すると、半導体素子単位面積当たりから発生する熱量は増加する傾向にあることを考慮すると、特許文献2が開示する製造方法では、半導体素子のさらなる小チップ化及び半導体素子上の接続パッドのさらなる狭ピッチ化には対応できない製造方法といえる。

#### 【0007】

##### 【特許文献1】

特開2001-15650号公報

##### 【特許文献2】

特開平11-233678号公報

**【発明が解決しようとする課題】****【0008】**

本発明はこのような事情を考慮してなされたものである。従って、その目的は、半導体素子のさらなる小チップ化や高機能化、或いは半導体装置の小型化や高機能化、さらには半導体装置を備える基板の小型化や高機能化という要請に基づき、狭ピッチ接続パッドを備える半導体素子を内在する場合にはその素子の能力を適切に発揮させることができるような半導体装置とその製造方法を提供することにある。

**【課題を達成するための手段】****【0009】**

上記の課題を解決するために提供する本願請求項1の発明に係る半導体装置は、外部との電氣的接続を行う接続パッドを少なくとも一面に備える半導体素子と、半導体素子の接続パッドを備える面の少なくとも一面上に配置される配線支持体と、配線支持体を介して半導体素子上に配置される配線と、接続パッドと配線とを電氣的に接続する導体とを備える。

**【0010】**

係る構成とすることにより、配線支持体上に配置される配線は直接半導体素子と接触することがない。このため配線又は導体の短絡や、一の配線又は導体と近接する配線又は導体との間で信号干渉が発生しにくい。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、短絡による不良や雑音による誤動作が起こりにくい。

**【0011】**

上記の課題を解決するために提供する本願請求項2の発明に係る半導体装置は、請求項1記載の発明に係る半導体装置であって、配線支持体は少なくとも一つの貫通部を有し、この貫通部が前記接続パッド上に配置されるように配線支持体は配置され、導体は貫通部内に形成される。

**【0012】**

係る構成とすることにより、配線支持体は、半導体素子の接続パッドを備える面上に、貫通部以外のほぼ全面を被うように形成することが可能となる。このた



め、配線の配置における設計自由度が高くなり、配線が相互に近接配置されにくい。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、配線間の信号干渉による誤動作が起こりにくい。

#### 【0013】

上記の課題を解決するために提供する本願請求項3の発明に係る半導体装置は、請求項2記載の発明に係る半導体装置であって、貫通部の少なくとも一つは、その貫通部の深さを貫通部の開口面に平行であって面積が最大の面についての換算直径で除した数値、即ちアスペクト比が1以上である。

#### 【0014】

係る構成とすることにより、係る貫通部内に配置される導体の形状は導体同士の間隔の確保と配線と半導体素子との間隔の確保とが両立する。このため、近接導体間や配線と半導体素子との間での信号干渉が起こりにくい。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、誤動作が起こりにくい。

#### 【0015】

上記の課題を解決するために提供する本願請求項4の発明に係る半導体装置は、請求項2又は3記載の発明に係る半導体装置であって、貫通部は、配線支持体に埋設された貫通体が除去されてなる。

#### 【0016】

係る構成とすることにより、係る貫通部内に埋設される貫通体として配線支持体よりも除去されやすい材料を用いることで、半導体素子やその上に配置される接続パッドへのダメージを抑えつつ、貫通体を優先的に除去することが可能となる。このため、長期使用に亘っても信頼性を確保できる材料からなる配線支持体であっても、接続パッドの狭ピッチ化に対応した貫通部が容易にかつ高精度で形成される。従って係る構成を備える半導体装置は接続パッドが狭ピッチ化した半導体素子を内在していても、配線支持体の劣化に由来する長期信頼性の低下が起こりにくい。

#### 【0017】

上記の課題を解決するために提供する本願請求項5の発明に係る半導体装置は

、請求項 2 又は 3 記載の発明に係る半導体装置であって、配線支持体は貫通部を備えた状態で前記半導体素子と接合してなる。

#### 【0018】

係る構成とすることにより、配線支持体の形成工程を半導体装置の製造工程から独立して設定することが可能となる。このため、特に精密穿孔加工に適しているながら、半導体素子やその上に配置される接続パッドへの加工ダメージが懸念されて採用されていない加工方法を用いて、配線支持体にあらかじめ貫通部を形成しておくことが可能となる。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい。

#### 【0019】

上記の課題を解決するために提供する本願請求項 6 の発明に係る半導体装置は、請求項 5 記載の発明に係る半導体装置であって、貫通部の少なくとも一つは、成形加工されてなる。

#### 【0020】

係る構成とすることにより、形成された配線支持体は、例えばその外形の形状精度に関わらず、少なくともその貫通部は成形加工によってもたらされる高い形状精度を備えることとなる。このため、半導体素子上に配置される接続パッドが狭ピッチ化しても、少なくとも貫通部は狭ピッチ化に対応した形状精度となる。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい。

#### 【0021】

上記の課題を解決するために提供する本願請求項 7 の発明に係る半導体装置は、請求項 5 記載の発明に係る半導体装置であって、配線支持体は成形加工によって形成されてなる。

#### 【0022】

係る構成とすることにより、形成された配線支持体の形状精度は、貫通部を含む全体が成形加工によってもたらされる高い形状精度を備えることとなる。このため、半導体素子上に配置される接続パッドが狭ピッチ化しても、配線の相互の

配置関係などを含む配線支持体全体として狭ピッチ化に対応した形状精度となる。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在しているとしても、近接導体間の短絡に起因する不良が発生しにくい。

#### 【0023】

上記の課題を解決するために提供する本願請求項 8 の発明に係る半導体装置は、請求項 5 から 7 のいずれか記載の発明に係る半導体装置であって、半導体素子上に配置される少なくとも一部の配線の少なくとも一部分は、配線支持体に埋設されてなる。

#### 【0024】

係る構成とすることにより、配線間隔が狭まっても、配線の断面積の確保と配線相互の間隔の確保とが両立する。このため、半導体素子上に配置される接続パッドが狭ピッチ化しても、配線断面積の減少によるの抵抗上昇が抑制され、近接配線間での信号干渉が起こりにくい。従って、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在しているとしても、誤動作が起こりにくい。

#### 【0025】

上記の課題を解決するために提供する本願請求項 9 の発明に係る半導体装置は、請求項 8 記載の発明に係る半導体装置であって、配線は配線支持体の半導体素子との対向面の反対面側に露出部を有し、配線支持体の半導体素子との対向面の反対面とその露出部との段差は  $10\ \mu\text{m}$  以下である。

#### 【0026】

係る構成とすることにより、配線支持体上に再配線層を直接形成しても、再配線層での配線段差が発生しにくい。このため、再配線層の断線が発生しにくい。従って、係る半導体装置はその上に再配線層を形成する場合に、接続パッドが狭ピッチ化した半導体素子を内在しているとしても、再配線層での不良が起こりにくい。

#### 【0027】

上記の課題を解決するために提供する本願請求項 10 の発明に係る半導体装置は、請求項 1 から 9 のいずれか記載の発明に係る半導体装置であって、配線と導体とは実質的に連続体である。

#### 【0028】

係る構成とすることにより、配線と導体との接合界面は実質的に発生しない。このため、接合界面に由来する接触抵抗や接合界面で信号が反射等して雑音が発生することが防止される。従って、係る半導体装置は接続パッドが狭ピッチ化した半導体素子を内在していても、半導体装置の単位体積当たりの発熱量が極端に増加したり、配線部の雑音に基づく誤動作が発生したりすることが起こりにくい。

#### 【 0 0 2 9 】

上記の課題を解決するために提供する本願請求項 1 1 の発明に係る半導体装置は、請求項 1 から 1 0 のいずれか記載の発明に係る半導体装置であって、外部との電氣的接続を担う接続体を備え、接続体はその一部が配線支持体に埋設され、配線と電氣的に接続する。

#### 【 0 0 3 0 】

係る構成とすることにより、半導体装置を外部と接続する工程において半導体装置に加えられる加工負荷を比較的薄層である配線に与えないことが可能である。このため、半導体装置の基板等への組み付け後の信頼性が高い半導体装置が提供される。

#### 【 0 0 3 1 】

上記の課題を解決するために提供する本願請求項 1 2 の発明に係る半導体装置は、請求項 1 1 記載の発明に係る半導体装置であって、接続体は配線支持体が備える第 2 の貫通部に埋設されてなる。

#### 【 0 0 3 2 】

係る構成とすることにより、貫通部の二つの開口部にある接続体の端面それぞれについて外部との接続を行うことで、接続体を異なる二面間への電氣的導通経路として用いることが可能となる。このため、半導体装置同士を容易に接続することが可能となる。従って、係る半導体装置を組み付けてなる基板等は小型化と高機能化とが実現される。

#### 【 0 0 3 3 】

上記の課題を解決するために提供する本願請求項 1 3 の発明に係る半導体装置は、請求項 1 2 記載の半導体装置の複数を電氣的に接続してなる積層体であって

、接続体を相互の電氣的接続部とする。

【0 0 3 4】

係る構成とすることにより、基板上の一つの半導体素子の組み付けスペースに複数の半導体装置を配置することが可能となる。このため、係る半導体装置の積層体を組み付けてなる基板等は小型化と高機能化とが実現される。

【0 0 3 5】

上記の課題を解決するために提供する本願請求項 1 4 の発明に係る半導体装置は、請求項 1 から 1 3 のいずれか記載の半導体装置であって、半導体素子の導体との対向面の反対面側に配置されて半導体素子と接続する支持体を備え、支持体は半導体素子が発生する熱を外部に拡散する。

【0 0 3 6】

係る構成とすることにより、半導体素子からの単位体積当たりの発熱量が増加しても半導体装置の温度上昇が抑制される。このため、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、発熱に基づく誤動作が起りにくい。

【0 0 3 7】

上記の課題を解決するために提供する本願請求項 1 5 の発明に係る半導体装置は、請求項 1 4 記載の半導体装置であって、支持体は導体であって接続体と電氣的に接続する。

【0 0 3 8】

係る構成とすることにより、支持体を接地すれば、半導体素子の接地電位を支持体の電位と合わせることができる。このため、係る半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、半導体装置として接地電位の不安定さに起因する誤動作が発生しにくい。

【0 0 3 9】

上記の課題を解決するために提供する本願請求項 1 6 の発明に係る半導体装置は、請求項 1 5 記載の半導体装置であって、支持体は当該支持体の他の領域から電氣的に絶縁された独立の導電領域を備え、その独立導電領域で接続体と接続する。

**【0040】**

係る構成とすることにより、その独立導電領域は接続体を介して配線と接続する。このため、実質的に複数種類の信号のための配線の電氣的接続点が半導体装置の支持体側に形成される。従って、これを電氣的な接続点とすることで、半導体装置とこれに接続する基板等との相互配置の自由度が高まる。

**【0041】**

また、上記課題を解決するために提供する本願請求項17の発明に係る半導体装置の製造方法は、半導体素子の接続パッドを複数備える面上に配線支持体を配置する工程（a）と、前記配線支持体を介して前記半導体素子上に配線を配置する工程（b）と、当該配線と前記接続パッドとを導体によって接続する工程（c）とを備える。

**【0042】**

係る製造方法を採用して製造される半導体装置は、配線支持体上に配置される配線は直接半導体素子と接触することがない。このため配線又は導体の短絡や、一の配線又は導体と近接する配線又は導体との間で信号干渉が発生しにくい。従って、係る接続パッドが狭ピッチ化した半導体素子を内在していても、短絡による不良や雑音による誤動作が起りにくい半導体装置の製造方法が提供される。

**【0043】**

上記の課題を解決するために提供する本願請求項18の発明に係る半導体装置の製造方法は、請求項17記載の発明に係る半導体装置の製造方法であって、工程（b）と工程（c）とを一括で実行する。

**【0044】**

係る製造方法を採用して製造される半導体装置は、配線と導体との接合界面は実質的に発生しない。このため、接合界面に由来する接触抵抗や接合界面で信号が反射等して雑音を発生することが防止される。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、半導体装置の単位体積当たりの発熱量が極端に増加したり、配線部の雑音に基づく誤動作が発生したりすることが起りにくい半導体装置の製造方法が提供される。

**【0045】**

上記の課題を解決するために提供する本願請求項 1 9 の発明に係る半導体装置の製造方法は、請求項 1 8 記載の発明に係る半導体装置の製造方法であって、一括で実行する工程はめっき工程を含む。

#### 【 0 0 4 6 】

係る製造方法を採用して製造される半導体装置は、膜厚管理が容易なめっき工程を採用することで、配線又は導体の厚みが均一な半導体装置が得られやすい。このため、接続パッドが狭ピッチ化した半導体素子を内在していても、信頼性が高く、装置間の品質ばらつきが少ない半導体装置の製造方法が提供される。

#### 【 0 0 4 7 】

上記の課題を解決するために提供する本願請求項 2 0 の発明に係る半導体装置の製造方法は、請求項 1 7 から 1 9 のいずれか記載の半導体装置の製造方法であって、配線支持体は少なくとも一つの貫通部を備え、この貫通部は、その貫通深さを貫通部の開口面に平行であって面積が最大の面についての換算直径で除した数値、即ちアスペクト比が 1 以上であり、工程（c）では貫通部内の少なくとも一部に形成される導体によって配線と接続パッドとを接続する。

#### 【 0 0 4 8 】

係る製造方法を採用して製造される半導体装置は、係る貫通部内に配置される導体の形状は導体同士の間隔の確保と配線と半導体素子との間隔の確保とが両立する。このため、近接導体間や配線と半導体素子との間での信号干渉が起こりにくい。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、誤動作が起こりにくい半導体装置の製造方法が提供される。

#### 【 0 0 4 9 】

上記の課題を解決するために提供する本願請求項 2 1 の発明に係る半導体装置の製造方法は、請求項 2 0 記載の半導体装置の製造方法であって、工程（a）の前に、接続パッドの各々の上に柱状体を形成する工程（d）を備え、工程（a）では柱状体の少なくとも一部が配線支持体に埋設されるように配線支持体を配置し、工程（a）と工程（b）との間に、柱状体を除去して貫通部を形成する工程（e）を備え、工程（b）では配線支持体上に導電性物質を配置した後、配線及び導体を構成する部分以外を除去する。

**【 0 0 5 0 】**

係る製造方法を採用することで、係る貫通部内に埋設される貫通体として配線支持体よりも除去されやすい材料を用いることで、半導体素子やその上に配置される接続パッドへのダメージを抑えつつ、貫通体を優先的に除去することが可能となる。このため、長期使用に亘っても信頼性を確保できる材料からなる配線支持体であっても、接続パッドの狭ピッチ化に対応した貫通部が容易にかつ高精度で形成される。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、配線支持体の劣化に由来する長期信頼性の低下が起こりにくい半導体装置の製造方法が提供される。

**【 0 0 5 1 】**

上記の課題を解決するために提供する本願請求項 2 2 の発明に係る半導体装置の製造方法は請求項 2 1 記載の半導体装置の製造方法であって、工程（a）と工程（e）との間に、半導体素子との対向面の反対面側から配線支持体を除去して、その除去によって配線支持体に形成される面の面上に前記柱状体を露出させる工程（f）を備える。

**【 0 0 5 2 】**

係る製造方法を採用することで、除去加工を受けた配線支持体の加工面に比較的平滑な面を形成することが可能となる。このため、その後の配線の配置工程や部分的除去工程、さらには、再配線層形成工程において配線の部分的な破断が発生しにくい。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、配線の部分的破断に由来する電気的特性の劣化が起こりにくい半導体装置の製造方法が提供される。

**【 0 0 5 3 】**

上記の課題を解決するために提供する本願請求項 2 3 の発明に係る半導体装置の製造方法は、請求項 2 1 又は 2 2 記載の半導体装置の製造方法であって、配線支持体の材料として流動性が変動可能な材料を用い、工程（a）では、流動性を有する状態で半導体素子上に供給した配線支持体の材料の流動性を喪失させて半導体素子上に配置する。

**【 0 0 5 4 】**



係る製造方法を採用することで、あらかじめ配置する柱状体の周囲に密着するように配線支持体の材料を存在させることが可能となる。このため、その後流動性を喪失させてなる配線支持体から柱状体を除去することで形成される貫通部は柱状体の形状を反映した形状をなす。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、接続パッドと配線との間にある導体部で抵抗値の異常上昇や断線などが起こりにくい半導体装置の製造方法が提供される。

#### 【0055】

上記の課題を解決するために提供する本願請求項 24 の発明に係る半導体装置の製造方法は、請求項 20 記載の半導体装置の製造方法であって、工程（a）の前に、前記配線支持体を穿孔して貫通部を形成する工程（g）を備え、工程（a）では前記貫通部が形成された配線支持体を前記半導体素子の接続パッドを備える面上に配置し、工程（b）では前記配線支持体上に導電性物質を配置した後に配線及び導体を構成する部分以外を除去する。

#### 【0056】

係る製造方法を採用することで、配線支持体の形成工程を半導体装置の製造工程から独立して設定することが可能となる。このため、特に精密穿孔加工に適していながら、半導体素子やその上に配置される接続パッドへの加工ダメージが懸念されて採用されていない加工方法を用いて、配線支持体にあらかじめ貫通部を形成しておくことが可能となる。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0057】

上記の課題を解決するために提供する本願請求項 25 の発明に係る半導体装置の製造方法は、請求項 24 記載の半導体装置の製造方法であって、工程（g）の穿孔方法としてレーザー加工法を用いる。

#### 【0058】

係る製造方法を採用することで、半導体素子へのダメージを考慮することなく、レーザー加工本来の加工能力で貫通部を形成することが可能となる。このため、接続パッドが狭ピッチ化してもこれに対応した貫通部の形成が可能である。従

って、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0059】

上記の課題を解決するために提供する本願請求項 26 の発明に係る半導体装置の製造方法は、請求項 24 記載の半導体装置の製造方法であって、工程（g）の穿孔方法として打ち抜き加工法を用いる。

#### 【0060】

係る製造方法を採用することで、半導体素子へのダメージを考慮することなく、マイクロパンチング加工が有する本来の加工能力で貫通部を形成することが可能となる。また、配線支持体が例えばジルコニアなどのセラミックスを多く含有する場合であっても、係るマイクロパンチング加工を採用すれば高い形状精度で貫通孔を形成される。このため、接続パッドが狭ピッチ化してもこれに対応した貫通部の形成が可能である。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0061】

上記の課題を解決するために提供する本願請求項 27 の発明に係る半導体装置の製造方法は、請求項 24 記載の半導体装置の製造方法であって、工程（g）の穿孔方法として化学エッチング加工法を用いる。

#### 【0062】

係る製造方法を採用することで、半導体素子へのダメージを考慮することなく、化学エッチング加工が有する本来の加工能力で貫通部を形成することが可能となる。このため、接続パッドが狭ピッチ化してもこれに対応した貫通部の形成が可能である。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、近接導体間の短絡に起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0063】

上記の課題を解決するために提供する本願請求項 28 の発明に係る半導体装置の製造方法は、請求項 20 記載の半導体装置の製造方法であって、工程（a）の

前に、成形加工によって貫通部を備える配線支持体を形成する工程（h）を備え、工程（a）では貫通部が形成された配線支持体を前記半導体素子の接続パッドを備える面上に配置する。

#### 【0 0 6 4】

係る製造方法を採用して製造される半導体装置が備える配線支持体は、少なくともその貫通部は成形加工によってもたらされる高い形状精度を有する。このため、配線支持体の少なくとも貫通部は狭ピッチ化に対応することが可能となる。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、導体部での相互短絡などに起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0 0 6 5】

上記の課題を解決するために提供する本願請求項 2 9 の発明に係る半導体装置の製造方法は、請求項 2 8 記載の半導体装置の製造方法であって、工程（h）では成形加工によって貫通部と配線支持体とを一括で形成する。

#### 【0 0 6 6】

係る製造方法を採用して製造される半導体装置が備える配線支持体は、貫通部を含む全体が成形加工によってもたらされる高い形状精度を有する。このため、半導体素子上に配置される接続パッドが狭ピッチ化しても、配線の相互の配置関係などを含む配線支持体全体として狭ピッチ化に対応することが可能となる。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、導体部での相互短絡などに起因する不良が発生しにくい半導体装置の製造方法が提供される。

#### 【0 0 6 7】

上記の課題を解決するために提供する本願請求項 3 0 の発明に係る半導体装置の製造方法は、請求項 2 4 から 2 9 のいずれか記載の半導体装置の製造方法であって、工程（a）で配置される配線支持体は半導体素子と対向する面の反対面側に凹部を備え、工程（b）では当該凹部を含む配線支持体上に導電性物質を配置した後に凹部内に配置された導電性物質が配線となるようにその配線支持体上の導電性物質を除去する。

#### 【0 0 6 8】

係る製造方法を採用して製造される半導体装置は、配線間隔が狭まっても配線の断面積の確保と配線相互の間隔の確保とが両立する。このため、半導体素子上に配置される接続パッドが狭ピッチ化しても、配線断面積の減少による抵抗上昇が抑制され、近接配線間での信号干渉が起こりにくい。従って、接続パッドが狭ピッチ化した半導体素子を内在していても、誤動作が起こりにくい半導体装置の製造方法が提供される。

#### 【0069】

上記の課題を解決するために提供する本願請求項 31 の発明に係る半導体装置の製造方法は、請求項 30 記載の半導体装置の製造方法であって、後工程で配線を配置するための凹部はプレス加工で形成される。また、上記の課題を解決するために提供する本願請求項 32 の発明に係る半導体装置の製造方法は、請求項 30 記載の半導体装置の製造方法であって、凹部はレーザー加工で形成される。さらに、上記の課題を解決するために提供する本願請求項 33 の発明に係る半導体装置の製造方法は、請求項 30 記載の半導体装置の製造方法であって、凹部は化学エッチング加工で形成される。

#### 【0070】

係る凹部は半導体素子やその上に配置される電極パッドとは配線支持体を介してのみ配置されるので、凹部形成の加工は半導体素子やその上に配置される電極パッドへのダメージを考慮することなく行うことができる。このため、従来から行われている加工方法を水平展開的に採用することが可能である。従って、接続パッドが狭ピッチ化しても、新たな加工法を導入する必要がなく、製造方法としての信頼性が高い。

#### 【0071】

上記の課題を解決するために提供する本願請求項 34 の発明に係る半導体装置の製造方法は、請求項 22 記載の半導体装置の製造方法であって、工程（d）の前に、平板状の支持体上に第 2 の柱状体を配置する工程（i）と、支持体上の当該第 2 の柱状体を配置した領域以外の領域に前記半導体素子を配置する工程（j）とを備え、工程（a）では柱状体と第 2 の柱状体とのそれぞれについて少なくとも一部が配線支持体に埋設されるように配線支持体を配置し、工程（f）では

柱状体に加えて第2の柱状体を露出させるように配線支持体の一部を除去し、工程（e）では柱状体に加えて第2の柱状体を除去して第2の貫通部を形成し、工程（b）では前記配線を配置するときに当該第2の貫通部の内部にも導電性物質を配置する。

#### 【0072】

係る製造方法により製造される半導体装置は、第2の貫通部の内部に導電性物質が配置されてなる接続体を電氣的な接続点として複数の半導体装置を積層することが可能となる。このため、係る積層体を用いることで基板上の一つの半導体素子の組み付けスペースに複数の半導体装置を配置することが可能となる。従って、係る半導体装置を組み付けてなる基板等は小型化や高機能化を図りやすい。

#### 【0073】

上記の課題を解決するために提供する本願請求項35の発明に係る半導体装置の製造方法は、請求項34記載の半導体装置の製造方法であって、工程（c）に続いて、前記支持体を前記半導体素子及び前記接続体から剥離する工程（k）を備える。

#### 【0074】

係る製造方法により製造される半導体装置は、接続体が第2の貫通孔内部を充填している場合には、接続体によって半導体装置の二面間で電氣的な導通を図ることが可能である。従って、係る接続体と配線を接続してなる半導体装置を複数積層してなる積層体は、小型でありながら高機能を発揮しやすい。

#### 【0075】

上記の課題を解決するために提供する本願請求項36の発明に係る半導体装置の製造方法は、請求項30記載の半導体装置の製造方法であって、工程（g）では前記配線支持体を穿孔して貫通部とともに第2の貫通部を形成し、工程（b）では前記導電性物質によって当該第2の貫通部を充填し、当該第2の貫通部が充填されてなる接続体の少なくとも一つと前記配線とを電氣的に接続させる。

#### 【0076】

係る製造方法により製造される半導体装置は、半導体装置が備える半導体素子からの電気信号を接続体を通じて取り出すことが可能である。従って、係る接続

体を接続してなる半導体装置を複数積層してなる積層体は、小型でありながら高機能を発揮しやすい。

#### 【0077】

上記の課題を解決するために提供する本願請求項 37 の発明に係る半導体装置の製造方法は、請求項 35 または 36 記載の半導体装置の製造方法であって、複数の製造結果物について、各々の前記接続体を電氣的接続点として積層する工程 (1) を備える。

#### 【0078】

係る製造方法により製造される半導体装置は、基板等の限られた取り付け面積に複数の半導体装置を取り付けることが可能である。従って、係る接続体積層体組み付けてなる基板等は、小型でありながら高機能を発揮しやすい。

#### 【発明の実施の形態】

#### 【0079】

次に本発明の第一の実施形態に係る半導体装置について図面を参照して説明する。

図 1 は本発明の第一の実施形態に係る半導体装置の模式的な断面図である。

#### 【0080】

本発明第一の実施形態に係る半導体装置 1 は、少なくとも一面に電極端子である接続パッド 12 を備える半導体素子 11 と、半導体素子 11 の接続パッド 12 を備える面の少なくとも一面 13 上に配置される配線支持体 14 と、配線支持体 14 を介して半導体素子 11 上に配置される配線 15 と、接続パッド 12 と配線 15 とを電氣的に接続する導体 16 とを備える。

なお、本実施形態では、配線 15 は配線支持体 14 内部埋設される部分を有することなく、配線支持体 14 の上面、即ち半導体素子 11 と対向する面の反対側の面上に形成されている。

#### 【0081】

また、本実施形態では、配線支持体 14 は少なくとも一つの貫通部 17 を有し、貫通部 17 が接続パッド 12 上に配置されるように配線支持体 14 は配置され

、導体 16 は貫通部 15 の内部の少なくとも一部に形成される。

#### 【0082】

ここで、貫通部 17 の少なくとも一つは、貫通部 17 の深さ、即ち配線支持体 14 の厚みを貫通部 17 の開口面に平行であって面積が最大の面についての換算直径で除した数値であるアスペクト比が 1 以上であることが望ましい。アスペクト比 1 が以上で有れば、狭ピッチ接続パッドを備える半導体素子 11 であっても、雑音の影響が半導体装置 1 の機能に影響を与えない程度まで半導体素子 11 と配線 15 間との間隔が確保される。

#### 【0083】

このように、半導体素子 11 の接続パッド 12 上に配線支持体 14 を配置し、この配線支持体 14 に接続パッド 12 の狭ピッチ化に対応する機能を持たせることで、半導体素子 11 の狭ピッチ接続パッド 12 とビルドアップ多層基板の接続パッドとの電氣的接続が容易となる。

#### 【0084】

半導体装置 1 上に配置されるビルドアップ多層基板については、この配線 15 を備える配線支持体 14 に絶縁層を形成し、この絶縁層を従来技術に従って部分的に除去して配線 15 の一部を露出させ、配線支持体 14 上にビルドアップ多層基板を直接配置してもよい。

#### 【0085】

この場合には、配線支持体 14 上にはビルドアップ多層基板が配置されるので、配線支持体 14 の上側の面は平坦であることが望ましい。その平坦度は、表面粗さ  $R_y$  として  $10\ \mu\text{m}$  以下とすることがよい。 $10\ \mu\text{m}$  以上の粗さが局所的に発生すると、その部分の上に形成されるビルドアップ多層基板の配線に断線が発生するおそれがある。

#### 【0086】

或いは、別工程で作成したビルドアップ多層基板を配線支持体 14 上に従来技術を用いて接続させても良い。接続方法としては、導電性接着剤を用いても良いし、半田バンプを用いても良い。

#### 【0087】

この場合には、配線支持体 14 上に半導体素子 11 の接続バンプよりもピッチ幅の広い接続領域を設け、この接続領域とビルドアップ多層基板のパッドとを電氣的に接続するとよい。このようにすることで、ビルドアップ基板と配線支持体 14 との接続工程における位置決め精度は、直接ビルドアップ基板と半導体素子 11 が備える接続パッド 12 とを接続する場合に比べて緩和される。

#### 【0088】

なお、配線支持体 14 に用いる材料としては、絶縁性若しくは誘電特性などの電気特性、耐熱温度や熱膨張率若しくは熱伝導率などの熱特性、吸湿特性などを考慮することで選択されるべきである。望ましい材料としては、エポキシ系樹脂などの耐熱樹脂、PVDF (Poly vinylidene fluoride) などの含フッ素樹脂等が挙げられる。なお、望ましい材料は製造方法とも関連するため、本実施形態に係る半導体装置の製造方法の説明において詳述する。

#### 【0089】

また、配線 15 と導体 16 とは実質的に連続体を成し、双方の接合界面を実質的に有さないことが望ましい。接合界面に由来する接触抵抗や接合界面で信号が反射等して雑音を発生することが防止されるからである。

#### 【0090】

さらに、導体 16 は貫通部 17 を充填してなることが望ましい。空隙を有すると、結果として接続パッド 12 から配線 15 に至るまでの抵抗が上昇するととなるからである。また、この空隙が製造工程上制御できない場合には、貫通部 17 の抵抗値にばらつきをもたらすことにもなる。さらに、この空隙内に製造工程上導体 16 の電気特性を変化させる物質が残留する場合には、半導体装置 1 の能力の信頼性を低下させることとなる。

#### 【0091】

引き続き、本発明の第一の実施形態に係る半導体装置の製造方法について図面を参照して説明する。

図 2 は本発明の第一の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

図 2 (a) は半導体ウエハー 201 上に感光性樹脂 202 が形成された状態を



示す。

図 2 (b) は接続パッド 2 0 3 上に感光性樹脂 2 0 2 からなるレジストポスト 2 0 4 が形成されている状態を示す。

図 2 (c) は半導体ウエハー 2 0 1 が接続個片化されて接続パッド 2 0 3 上にレジストポスト 2 0 4 を備える半導体素子 2 0 5 が形成されている状態を示す。

図 2 (d) は半導体素子 2 0 5 が剥離可能な接着剤 2 0 6 を介して支持体 2 0 7 と接合している状態を示す。

図 2 (e) は半導体素子 2 0 5 及びその上に形成されているレジストポスト 2 0 4 を埋設するように支持体 2 0 7 上に電気絶縁体 2 0 8 が形成されている状態を示す。

図 2 (f) は電気絶縁体 2 0 8 が研磨され、電気絶縁体 2 0 8 に埋設されるレジストポスト 2 0 4 が露出し、電気絶縁体 2 0 8 の表面には平坦面が形成されている状態を示す。

図 2 (g) は電気絶縁体 2 0 8 の平坦面に露出するレジストポスト 2 0 4 が除去されて、貫通部 2 0 9 を備える配線支持体 2 1 0 が形成されている状態を示す。

図 2 (h) は貫通部 2 0 9 の底面にある接続パッド 2 0 3 と配線支持体 2 1 0 表面に形成された配線用導体層 2 1 1 とを電氣的に接続するような導体 2 1 2 が貫通部 2 0 9 内部に形成されている状態を示す。

図 2 (i) は配線支持体 2 1 0 上の配線用導体層 2 1 1 が部分的に除去されて配線 2 1 3 をなしている状態を示す。

図 2 (j) は配線支持体 2 1 0 上の配線 2 1 3 に対して電氣的に接続するビルドアップ多層基板 2 1 4 が形成され、ビルドアップ多層基板 2 1 4 の半導体素子 2 0 5 と対向する面の反対側に端子 2 1 5 が形成され、さらに支持体 2 0 7 が除去されている状態を示す。

#### 【0 0 9 2】

以降、具体的に図面を参照しつつ製造方法を説明する。

#### 【0 0 9 3】

まず、図 2 (a) に示すように、半導体ウエハー 2 0 1 上に感光性樹脂 2 0 2

による層を形成する。その形成はスピンコーターを用いてもよいし、ディスペンサーを用いてもよい。半導体ウエハー 201 の材質はシリコンを主な構成材料とするものでもよいし、ガリウム-砒素などの化合物半導体を主な構成材料とするでもよい。

また、感光体樹脂 202 の材料は特に限定されず、その感光特性はネガ型でもよいし、ポジ型でもよい。ただし、その後の図 2 (f) に示す感光体樹脂 202 からなるレジストポスト 204 を除去する工程において、レジストポスト 204 が容易に除去されることを考慮して決定されるべきである。即ち、レジストポスト 204 が所望の形状を達成できる限りにおいて、除去されやすい材料を選択するべきである。

#### 【0094】

以下に感光性樹脂 202 による層の形成方法の具体的な一例を示す。

感光性樹脂は厚膜形成用ネガレジストである JSR 社製の THB-150N を用い、スピンコーターによる塗布を行う。スピンコートは初期 300 rpm で 10 秒間回転させ、その後回転速度を 1000 rpm に上昇させて 20 秒間回転させる。

その後、プレベークとして 110℃ で 10 分間加熱して膜厚 70  $\mu$ m 程度の感光性樹脂 202 による層を形成する。

#### 【0095】

次に、図 2 (b) に示すように、従来技術を用いて半導体ウエハー 201 上に形成されている接続パッド 203 上にレジストポスト 204 を形成する。このレジストポスト 204 の高さは感光性樹脂 202 によって規定される。また、それぞれのレジストポスト 204 は一つの接続パッド 203 上に形成されていればよく、レジストポスト 204 において接続パッド 203 と対向する面である底面は、接続パッド 203 全体を含んでさらに接続パッド 203 周辺の半導体ウエハー 201 と接触してもよいし、接続パッド 203 の一部とのみ接触してもよい。なお、レジストポスト 204 の形状は、底面よりもその対向面である上面の方が面積が大きく、底面側から上面側にかけて水平断面積が大きくなる形状であることが望ましい。レジストポスト 204 が係る形状を有する場合には、図 2 (f) に

示す感光体樹脂 202 からなるレジストポスト 204 を除去する工程においてレジストポスト 204 が除去されやすい。

#### 【0096】

以下に感光性樹脂 202 による層からレジストポスト 204 を形成する方法の具体的な一例を示す。

g, h, i の混合線からなる光源を  $1000\text{ mJ/cm}^2$  照射して露光を行う。これを水酸化テトラメチルアンモニウムを 2.38% 含有する水溶液からなる現像液 (PD523) により  $23^\circ\text{C}$  で 190~210 秒間現像を行い、その後超純水で 120 秒間洗浄を行うことでレジストポスト 204 を形成する。

#### 【0097】

続いて、図 2 (c) に示すように、半導体ウエハー 201 を個片化して、接続パッド 203 上にレジストポスト 204 を備える半導体素子 205 が形成する。個片化には従来技術であるダイシングで行うことが簡便である。

#### 【0098】

その後、図 2 (d) に示すように、半導体素子 205 を剥離可能な接着剤 206 を介して支持体 207 に接合する。剥離可能な接着剤 206 には特定温度以上に加熱すると発泡することで接合力が低下する発泡剥離シートを用いてもよい。その他、以下の製造方法によって製造される半導体装置の他の部材に比べて特定の溶剤に対する溶解度や膨潤しやすさが特に高い性質を有する材料からなる接着剤、例えばトルエンなどへの溶解度が特に高いシリコン系接着剤などを用いてもよい。或いは、多孔質層からなる接着層を用い、剥離時には溶剤を含浸させて接着を担う物質を溶解させてもよい。

#### 【0099】

次に、図 2 (e) に示すように、半導体素子 205 及びその上に形成されているレジストポスト 204 を埋設するように支持体 207 上に電気絶縁体 208 を形成する。この電気絶縁体 208 は流動性を変化させることが可能な材料を用いることが望ましい。係る材料を用い、適度な流動性を有する状態で半導体素子 205 と支持体 207 上とに供給し、その後流動性を喪失させることで、レジストポスト 204 周辺部にボイドを発生することなく電気絶縁体 208 が配置される

。

適度な流動性を有する状態での電気絶縁体 208 の供給方法は、電気絶縁体 208 の上面と支持体 207 との距離、即ち電気絶縁体 208 の厚みがほぼ一様となるように、スクリーン印刷機やディスペンサーを用いることが望ましく、スピコーター、ドクターブレードあるいはカーテンコーターを用いてもよい。

また、係る性質を有する電気絶縁体 208 の材料には、絶縁性の熱硬化性樹脂や光硬化性樹脂を用いる。具体的には、絶縁性樹脂として、耐熱性の高いエポキシ系樹脂やフェノール系樹脂、イミド系樹脂若しくはシアネート系樹脂、又は誘電正接の低いフッ素樹脂、PTFE 樹脂や PPO 樹脂、PPE 樹脂を含む樹脂若しくはこれらを変性させた樹脂などが好適である。また、係る樹脂と電気絶縁性フィラーとの混合物を用いることも好ましい。樹脂とフィラーの組合せで熱膨張率や熱伝導率、誘電率等を容易に制御することが可能となるからである。具体的には、フィラーとして、アルミナやマグネシア、ジルコニア、窒化硼素、窒化アルミニウム、窒化珪素、PTFE 樹脂、シリカなどを用いることができる。さらに、カップリング剤や分散剤を用いて電気絶縁体 208 の構造を強化したり均質化したりしてもよい。

さらには、電気絶縁性粉末と適当なバインダーとを適当な液体に分散させた分散液から液体を気化させることで製造される電気絶縁体 208 を用いてもよい。ここで、電気絶縁性粉末として用いられうる材料として、アルミナやマグネシア、ジルコニア、窒化硼素、窒化アルミニウム、窒化珪素、PTFE 樹脂、シリカなどを挙げられる。

なお、本実施形態では、レジストポスト 204 が電気絶縁体 208 内に埋没するように電気絶縁体 208 を支持体 207 上に供給する。しかし、レジストポスト 204 が電気絶縁体 208 から一部露出するように電気絶縁体 208 を支持体 207 上に供給してもよい。

#### 【0100】

引き続き、図 2 (f) に示すように、電気絶縁体 208 の半導体素子 201 と対向する面の反対面側の面を研削加工又は研磨加工し、レジストポスト 204 の水平断面を電気絶縁体 208 の加工面に露出させる。

以下に電気絶縁体 2 0 8 を研削加工によって加工する方法の具体的な一例を示す。

支持体 2 0 7 の一部を研磨装置（例えば D I S C O 社製 D A G 8 1 0）が備える固定用テーブルに固定し、砥石のスピンドルの回転数を 3 0 0 0 r p m、固定用テーブルの回転数を 1 0 0 r p m にして、レジストポスト 2 0 4 が露出するまでは例えば砥石番手 # 6 0 0 程度で粗加工を行う。続いて砥石番手を # 2 0 0 0 程度に変更して、回転スピードは変えずに仕上げ削りを行う。こうした加工によって加工速度の向上と加工面粗度の向上との両立が図られる。また、ダイヤモンドなどの電解腐食を受けにくい硬質材料を鉄系材料などの電解腐食性のある母材に埋め込んだ砥石を用い、研削加工中にドレッシングを行う、いわゆる E L I D 加工を行ってもよい。

#### 【 0 1 0 1 】

その後、電気絶縁体 2 0 8 の平坦面に露出するレジストポスト 2 0 4 を除去する。レジストポスト 2 0 4 の除去方法は、レジストポスト 2 0 4 を構成する材料に依存して選択されるべきである。例えば、電気絶縁体 2 0 8 や半導体素子 2 0 5 及び接続パッド 2 0 3 よりもレジストポスト 2 0 4 が酸やアルカリなどの化学薬品によって溶解しやすい材料である場合や、電気絶縁体 2 0 8 に比べてレジストポスト 2 0 4 が特定の有機溶剤によって特に膨潤しやすい材料である場合には、係る化学薬品や有機溶剤とレジストポスト 2 0 4 を接触させるとレジストポスト 2 0 4 が優先的に除去される。また、レジストポスト 2 0 4 が特にレーザーによって除去されやすい材料である場合には、レーザーによってレジストポスト 2 0 4 を除去しても半導体素子 2 0 5 への熱的又は機械的ダメージは低く抑えられる。

#### 【 0 1 0 2 】

電気絶縁体 2 0 8 の上面に露出するレジストポスト 2 0 4 が除去されると図 2 (g) に示すような貫通部 2 0 9 をなし、半導体素子 2 0 5 上に係る貫通部 2 0 9 を備える配線支持体 2 1 0 が形成される。

レジストポスト 2 0 4 の除去方法は従来技術を用いることが可能である。以下に具体的な一例を示す。

96%から99%のジメチルスルオキシドと1%の水酸化テトラメチルアンモニウムとを含有する液体 (THB-S1) 又は89%から95%のジメチルスルオキシドと1%から3%の水酸化テトラメチルアンモニウムとを含有する液体 (THB-S2) に図2 (f) に示す製造過程物を50℃から70℃で5分から10分間浸漬し、水洗することでレジストポスト204を除去する。なお、かかる液体に浸漬するときに、同時に超音波衝撃を加えてもよい。

係る製造方法で製造される貫通部209は、感光性樹脂によるレジストポスト204にもとづくものであるから、その形状は少なくとも $\mu\text{m}$ オーダーでの制御が可能である。また、配線支持体210に備えられる貫通部209相互の配置誤差も $\mu\text{m}$ オーダーとなりうる。このような制御によって、貫通部209の形状はアスペクト比が1以上となる形状とすることが望ましい。アスペクト比が1以上で有れば、狭ピッチ接続パッドであっても、雑音の影響が半導体装置の機能に影響を与えない程度まで半導体素子205と配線間との間隔が確保される。

### 【0103】

その後、図2 (h) に示すように、配線支持体210上に配線用導体層211を形成する。さらに貫通部209の底面にある接続パッド203と配線支持体210表面に形成された配線用導体層211とを電氣的に接続するような導体212を貫通部209内部に形成する。

配線用導体211と導体212とは異なる工程で形成してもよいが、本実施形態では双方を同一工程で形成し、配線用導体211と導体212とを実質的に連続体とし、それぞれの接合界面を発生しないようにする。このように接合界面を形成させないことで、接合界面に由来する接触抵抗や信号の反射などの発生が防止される。このため、係る工程を採用する製造方法で製造される半導体装置は、発熱や雑音の発生が少なく、狭ピッチ化に対応した半導体装置となる。また、一括に形成することで、工程数を減少することとなり、製造方法の生産性向上や歩留り向上又は製品の低コスト化に寄与する。

本実施形態では、係る配線用導体211と導体212との同時形成方法として電気めっきを用いる。他の形成方法に比べて生産効率が高いためである。本実施形態では配線用導体211の厚みは10 $\mu\text{m}$ 程度とする。以降の工程で、配線用

導体 211 にもとづく配線 213 を備える配線支持体 210 上に直接ビルドアップ多層基板 214 を形成する場合に、配線 213 と配線支持体 210 との段差に由来するビルドアップ多層基板 214 内の断線の発生を抑制するためである。

なお、電気めっき工程前の導体化処理には無電解めっきやスパッタやイオンプレーティングなどのドライプロセスを用いてもよい。ただし、貫通部 209 は高アスペクト比の形状である場合には、貫通部 209 の底面や側面が導体化されるように、無電解めっきであれば攪拌速度を上げて拡散層厚を薄くしたり、ドライプロセスで有れば高真空にして導体化物質の平均自由工程を上げたりするなどの考慮をするべきである。

#### 【0104】

引き続き、図 2 (i) に示すように、従来技術を用いて配線支持体 210 上の配線用導体 211 を部分的に除去して配線 213 を形成する。

#### 【0105】

その後、図 2 (j) に示すように、配線支持体 210 上に形成される配線 213 に対して電氣的に接続するようにビルドアップ多層基板 214 を形成する。ビルドアップ多層基板 214 は従来技術に従って製造する。次に、ビルドアップ多層基板 214 の半導体素子 205 と対向する面の反対側に半田ボールなどの端子 215 を従来技術に従って形成する。引き続き、支持体 207 を配線支持体 210 及び剥離可能な接着剤 206 を介して接合する半導体素子 11 から剥離する。

#### 【0106】

以上の工程によって第一の実施形態に係る半導体装置が作成される。

#### 【0107】

なお、本実施形態では、図 2 (j) に示すように最終工程として支持体 207 を剥離するが、支持体 207 の代わりに適当な吸着機構を備える支持台を用い、半導体素子 11 のみを吸着支持して製造してもよい。

また、支持体 207 を用いる場合には、これを剥離することなく放熱体などの半導体装置の一部品としてもよい。この場合には、剥離可能な接着剤 206 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。

或いは、支持体 207 を選択的又は優先的に除去する加工を行ってもよい。例えば、研削加工や切削加工などによって機械的に除去してもよいし、支持体 207 を特定の溶媒に対して溶解しやすい材料としてもよい。また、これらの方法に加えてプラズマアッシングなどのドライプロセスによる除去加工を追加してもよい。この場合にも、剥離可能な接着剤 206 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。

#### 【0108】

引き続き、本発明の第二の実施形態に係る半導体装置について図面を参照して説明する。

図 3 は本発明の第二の実施形態に係る半導体装置の模式的な断面図である。なお、図 3 では図 1 と重複するものについては図 1 に従って符号を付している。

#### 【0109】

本発明第二の実施形態に係る半導体装置 2 は、少なくとも一面に電極端子である接続パッド 12 を備える半導体素子 11 と、半導体素子 11 の接続パッド 12 を備える面の少なくとも一面 13 上に配置される配線支持体 14 と、配線支持体 14 を介して半導体素子 11 上に配置される配線 15 と、接続パッド 12 と配線 15 とを電氣的に接続する導体 16 とを備える。

#### 【0110】

また、本実施形態では、配線支持体 14 は少なくとも一つの貫通部 17 を有し、貫通部 17 が接続パッド 12 上に配置されるように配線支持体 14 は配置され、導体 16 は貫通部 15 の内部の少なくとも一部に形成される。

#### 【0111】

さらに、配線支持体 14 を介して半導体素子 11 上に配置される配線 15 のうち、少なくともその一部の配線は、少なくとも一部分が配線支持体 14 に埋設される。本実施形態では、配線支持体 14 の半導体素子 11 と対向する面の反対側の面と配線 15 との段差は  $10\ \mu\text{m}$  以下である。

#### 【0112】

ここで、配線支持体 14 は貫通部 17 を備える状態で半導体素子 11 と接合してなる。このようにあらかじめ半導体素子 11 との接合前に貫通部 17 の形成を



行っておくことで、配線支持体 14 への穿孔加工に伴うダメージを半導体素子 11 は受けない。

このため、微細加工法として確立していながら半導体素子 11 への穿孔に伴うダメージを懸念されて使用できなかった加工方法を穿孔加工法として用いることができる。従って、狭ピッチ接続パッドを備える半導体素子 11 に対応しやすい。具体的には、フェムト秒のパルスを用いるレーザーを用いた加工、イオンビームを用いた除去加工又はマイクロパンチング加工、微小粒子を加速して衝突させる加工、レーザーを援用して指向性を向上させた化学薬品によるエッチングなどを用いてもよい。

或いは、大型基板を用いて配線支持体 14 を複数一括で形成し、これを個片化してから半導体素子 11 と接合することも可能であるから、配線支持体 14 を個片化する前の段階で貫通部 17 を一括形成してもよい。

さらには、微細形状を創成する技術として確立している成形加工法を用いて、貫通部 17 を形成してもよい。この場合には、大まかな貫通部を有する配線支持体 14 を別途作成し、貫通部 17 周辺部のみを成形加工によって形成してもよい。或いは、配線支持体 14 と貫通部 17 とを同時に成形加工によって形成してもよい。

#### 【0113】

なお、配線支持体 14 と半導体素子 11 との接合部には、接着層があってもよい。或いは、配線支持体 14 との半導体素子 11 とが接着層を介さずに例えばアンカー効果によって接続していてもよい。

#### 【0114】

また、貫通部 17 の少なくとも一つは、アスペクト比が 1 以上であることが望ましい。アスペクト比 1 が以上で有れば、狭ピッチ接続パッドを備える半導体素子 11 であっても、雑音の影響が半導体装置 2 の機能に影響を与えない程度まで半導体素子 11 と配線 15 間との間隔が確保される。

#### 【0115】

さらに、配線 15 を配線支持体 14 に埋設する場合には、配線支持体 14 の上面と配線 15 との段差が少なくても、配線 15 の埋設深さを深くすることで、配

線 1 5 の断面積は拡大される。

このため、配線 1 5 の配線ピッチが狭ピッチとなった場合でも、それぞれの配線 1 5 の断面積の確保と、配線 1 5 相互の間隔確保と、配線 1 5 と配線支持体 1 4 との段差の抑制とが同時に達成される。

したがって、係る構造を備える半導体装置 2 は、接続パッド 1 2 が狭ピッチ化しても配線抵抗値が低く、配線間の信号の干渉が少なく、さらに係る半導体装置 2 上に形成されるビルドアップ多層基板の配線における断線が発生しにくい。

#### 【0 1 1 6】

引き続き、本発明の第二の実施形態に係る半導体装置の製造方法について図面を参照して説明する。

図 4 は本発明の第二の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。なお、図 4 では、図 2 との相違点を明確にするために、図 2 と重複するものについては図 2 と同じ符号を付している。

図 4 (a) は半導体素子 2 0 5 が剥離可能な接着剤 2 0 6 を介して支持体 2 0 7 と接合している状態を示す。

図 4 (b) は別途作成された配線支持体 2 1 0 が接着剤 3 0 1 を介して半導体素子 2 0 5 と接合している状態を示す。

図 4 (c) は配線支持体 2 1 0 が備える貫通部 2 0 9 の底面にある接続パッド 2 0 3 と配線支持体 2 1 0 表面に形成された配線用導体層 2 1 1 とを電氣的に接続するような導体 2 1 2 が貫通部 2 0 9 内部に形成されている状態を示す。

図 4 (d) は配線支持体 2 1 0 上の配線用導体層 2 1 1 が部分的に除去されて配線支持体 2 1 0 に少なくとも一部が埋設された配線 2 1 3 をなしている状態を示す。

図 4 (e) は配線支持体 2 1 0 上の配線 2 1 3 に対して電氣的に接続するビルドアップ多層基板 2 1 4 が形成され、ビルドアップ多層基板 2 1 4 の半導体素子 2 0 5 と対向する面の反対側に端子 2 1 5 が形成され、さらに支持体 2 0 7 が除去されている状態を示す。

#### 【0 1 1 7】

以降、具体的に図面を参照しつつ製造方法を説明する。なお、以下の説明にお

いて、第一の実施形態と重複する内容についての説明は適宜省略する。

#### 【0118】

まず、半導体ウエハー201を個片化して、接続パッド203を備える半導体素子205を形成する。その後、図4(a)に示すように、半導体素子205を剥離可能な接着剤206を介して支持体207に接合する。接着剤206として望ましい材料は第一の実施形態で示したものと同様である。

#### 【0119】

次に、図4(b)に示すように、別途作成された配線支持体210を接着剤301を介して半導体素子205上に配置し、接着剤301を固化させて配線支持体210を半導体素子205上に固定する。配線支持体210の形状は凹部を有し、凹部底面で半導体素子205と接続し、凹部周縁の開口面で支持体207と当接してもよい。また、配線支持体210はほぼ平板状であって、半導体素子205とほぼ等しい高さを有するスティフナー302を支持体207上であって半導体素子205の周囲にあらかじめ配置し、配線支持体210に係るスティフナー302と半導体素子205とに対して当接してもよい。

なお、半導体素子205の周囲の空隙部は例えばエポキシ系樹脂などを用いて充填してもよい。充填する場合には、支持体207と半導体素子205とを剥離する工程に引き続いて、半導体装置を反転させて空隙部の開口を上側にした後、ディスペンサーなどで封止樹脂を供給し、必要に応じて硬化処理を施せばよい。

#### 【0120】

また、本実施形態に係る半導体装置が備える配線支持体210は、半導体素子205との接合前の段階であらかじめ貫通部209と配線用溝303とを備える。

#### 【0121】

このように半導体素子205との接合前にあらかじめ貫通部209の形成を行っておくことで、配線支持体210への穿孔加工に伴うダメージを半導体素子205は受けない。このため、微細加工法として確立していながら半導体素子205上穿孔加工法として用いるには半導体素子205に与えるダメージが大きいと懸念されて使用されていない加工方法を、本実施形態に係る製造方法では穿孔加

工法として用いることができる。従って、狭ピッチ接続パッドを備える半導体素子 205 に対応しやすい。

具体例として、フェムト秒のパルスを用いるレーザーを用いた加工、イオンビームを用いた除去加工、マイクロパンチング加工、微小粒子を加速して衝突させる加工、レーザーを援用して指向性を向上させた化学薬品によるエッチングなどが挙げられる。

#### 【0122】

或いは、微細形状を創成する技術として確立している成形加工法を用いて貫通部 209 を形成してもよい。この場合には、大まかな貫通部を有する配線支持体 201 を別途作成し、貫通部 209 周辺部のみを成形加工によって形成もよい。配線支持体 210 の貫通部 209 周辺は高精度の成形が必要であるが、配線支持体 210 の他の部分は貫通部 209 ほどの加工精度を必要としないので、係る部分成形は成形タクトの短縮や成形材料選択の幅の拡大、さらには成形型の設計自由度の拡大をもたらす。また、配線支持体 201 と貫通部 209 とを同時に成形加工によって形成してもよい。係る一括成形は生産効率の向上に寄与することはいうまでもない。なお、成形方法は圧縮成形やトランスファー成形、射出成形などを用いてもよい。

ここでトランスファー成形によって配線支持体を作成する方法の具体的な一例を示す。それぞれが可動可能な上型、下型を加圧当接させて配線支持体 210 形成用の空隙部（キャビティ）を形成する。このキャビティを余熱した状態で型の一方側、例えば下型側から熱硬化性のエポキシ系樹脂を射圧 80 kg、射速 1.2 mm/s で供給する。続いて、175℃から 180℃の金型温度でキャビティ内に供給された樹脂を 90 秒間保持してこれを硬化して、配線支持体 210 を係るキャビティ内に形成する。その後、型を冷却後開放して配線支持体 210 を取り出す。

#### 【0123】

また、大型基板を用いて配線支持体 201 を複数一括で形成し、これを個片化してから半導体素子 205 と接合することも可能であるから、配線支持体 201 が複数一括で形成されている状態で貫通部 209 及び第 2 の貫通部 33 を一括形

成してもよい。この場合には、化学薬品を用いたエッチングや E C R プラズマを用いたエッチングなどの大面積対応の加工技術を用いることで生産効率が向上する。また、マイクロパンチングやレーザー加工などの比較的逐次加工型の加工方法であっても、位置決め工程が省略されることによる生産効率の向上が期待される。

#### 【 0 1 2 4 】

また、あらかじめ配線用溝 3 0 3 が形成されている配線支持体 2 1 0 を半導体素子 2 0 5 と接合することで、配線支持体 2 1 0 への溝加工に伴うダメージを半導体素子 2 0 5 は受けない。

溝加工法としては、切削加工や研削加工、プレス加工、レーザー加工、化学薬品によるエッチング、ドライプロセスによるエッチング、成形加工などを用いる。

プレス加工では、配線支持体 2 1 0 をゲル状態などの軟質状態でプレス加工を行い、溝形成後、配線支持体 2 1 0 を硬化させてもよい。或いは、配線支持体 2 1 0 の材料に熱可塑性材料を用い、型の溝形成用の部分を当該材料のガラス転移点以上に加温してプレス加工を行ってもよい。

エッチング加工では、配線支持体 2 1 0 を構成する材料を直接エッチングしてもよいし、配線支持体 2 1 0 上に感光性樹脂層を形成し、これをエッチングして配線用溝 3 0 3 と貫通部 2 0 9 を形成してもよい。

成形加工では、配線用溝 3 0 3 と貫通部 2 0 9 とを同一の成形工程で作成することが生産効率の向上と加工精度の向上との観点から望ましい。また、さらなる生産効率向上のために配線用溝 3 0 3 と貫通部 2 0 9 と配線支持体 2 1 0 とを一括で成形してもよい。

#### 【 0 1 2 5 】

ここで、本実施形態の製造方法にとって望ましい配線支持体 2 1 0 の材料について説明する。

基本的には、半導体装置の部品として満たすべき特性、即ち、誘電特性や絶縁性などの電気特性や耐熱温度、熱膨張率、熱伝導率などの熱特性、さらには吸湿特性などを考慮して材料を選択する。さらに、本実施形態では、配線支持体 2 1

0に貫通部209や配線用溝303を形成するので、加工性も考慮して材料を選択する。切削加工や研削加工、マイクロパンチング加工を行う場合には、加工精度を向上させる観点から、例えばフェノール樹脂のような比較的硬い樹脂を用いたり、或いはアルミナやジルコニアなどのセラミックス焼結体を用いたりすることがよい。レーザー加工を行う場合には、レーザー波長の吸収が多い材料を用いることで加工効率が向上する。例えば、エキシマーレーザーを用いる場合には、ポリイミドやポリサルフォンなどの材料を用いると加工精度が向上する。

成形加工を行う場合には、流動性が調整可能な材料であればよい。従って、第一の実施形態に係る配線支持体210（電気絶縁体208）と同様の材料を用いるとよい。

プレス加工を行う場合には、塑性変形性を有する材料であることが望ましい。また、硬化性材料で硬化の程度が制御できる材料や熱可塑性を有する材料で有れば、配線支持体210が軟質状態にあるときにプレス加工することで加工精度が向上する。さらに、熱可塑性を有する材料で有れば、加工領域のみをガラス転移点以上にしてプレス加工することで加工精度が向上する。

#### 【0126】

なお、接着剤301は従来技術で用いられているエポキシ系樹脂などを用いるとよい。また、樹脂の供給方法は、従来技術に従って、例えばマイクロディスペンサーやスピンコーターを用いて行うとよい。

また、接着剤301を用いずに配線支持体210と半導体素子205とを直接接合してもよい。配線支持体210に熱可塑性樹脂を用い、半導体素子205の配線支持体210と接合する面を局所的に加熱した状態で配線支持体210と半導体素子205とを当接すると、アンカー効果や樹脂と半導体との化学的接合などによって適度な接合強度を有する接合界面が形成される。

#### 【0127】

引き続き、図4（c）に示すように、少なくとも配線支持体210上の配線用溝303内部を充填するように配線用導体層211を形成する。また、貫通部209の底面にある接続パッド203と配線支持体210上に形成された配線用導体層211とを電氣的に接続するような導体212を貫通部209内部に形成す

る。

配線用導体層 211 と導体 212 とに用いられる望ましい工程や材料は第一の実施形態と同様である。

#### 【0128】

次に、配線支持体 210 上の配線用導体層 211 を除去し、配線用溝 303 を充填する配線用導体層 211 のうち隣接するもの同士で短絡が発生しないようにする。除去方法としては、CMP などの平坦化研磨加工が好ましい。その結果、図 4 (d) に示すように、配線支持体 210 に少なくとも一部が埋設された配線 213 が形成される。

ここで、配線 213 と配線支持体 210 とは異質の材料であるから、除去加工レートが異なる。このため、除去後の加工面において、配線 213 と配線支持体 210 とには多少の段差が生ずることがある。この段差は、配線支持体 210 上にビルドアップ多層基板を形成する場合には、多層基板内の配線で断線が発生することを抑制する観点から、 $10\mu\text{m}$  以下であることが望ましい。

#### 【0129】

その後、図 4 (e) に示すように、配線支持体 210 上に形成される配線 213 に対して電氣的に接続するようにビルドアップ多層基板 214 を形成する。ビルドアップ多層基板 214 は従来技術に従って製造する。次に、ビルドアップ多層基板 214 の半導体素子 205 と対向する面の反対側に半田ボールなどの端子 215 を従来技術に従って形成する。引き続き、支持体 207 を配線支持体 210 及び剥離可能な接着剤 206 を介して接合する半導体素子 11 から剥離する。その後、上述のように、必要に応じて半導体素子 205 周囲の空隙をエポキシ系樹脂 216 など で充填する。

#### 【0130】

以上の工程によって第二の実施形態に係る半導体装置が作成される。

#### 【0131】

なお、本実施形態では、図 4 (e) に示すように最終工程として支持体 207 を剥離するが、支持体 207 の代わりに適当な吸着機構を備える支持台を用い、半導体素子 11 のみを吸着支持して製造してもよい。

また、支持体 207 を用いる場合には、これを剥離することなく放熱体などの半導体装置の一部品としてもよい。この場合は、剥離可能な接着剤 206 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。

或いは、支持体 207 を選択的又は優先的に除去する加工を行ってもよい。例えば、研削加工や切削加工などによって機械的に除去してもよいし、支持体 207 を特定の溶媒に対して溶解しやすい材料としてもよい。また、これらの方法に加えてプラズマアッシングなどのドライプロセスによる除去加工を追加してもよい。この場合にも、剥離可能な接着剤 206 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。

#### 【0132】

また、本実施形態に係る製造方法を用いることで、第一の実施形態に係る半導体装置を製造してもよい。この場合は、配線用溝 303 を備えない配線支持体 210 を用い、配線用導体層 211 を形成した後、従来技術であるフォトファブリケーションを用いて配線用導体層 211 を部分的に除去することで、配線 213 を形成するとよい。

#### 【0133】

或いは、第一の実施形態に係る製造方法に本実施形態に係る製造方法で用いる製造工程を追加することで本実施形態に係る半導体装置を製造してもよい。例えば、図 1 (f) に示す状態で、プレス加工やエッチング加工、レーザー加工などを用いて配線用溝 303 を形成し、その後レジストポスト 204 を除去すると、図 4 (b) とほぼ同様の状態となる。以降は上記の製造方法に従って製造することで、本実施形態に係る半導体装置を製造される。

なお、配線溝 303 の形成工程では、穿孔加工と異なり、半導体素子 205 とプレス型とが接触したり、半導体素子 205 に直接レーザー光が照射されたり、半導体素子 205 に直接エッチャントが接触することはないので、半導体素子 205 が受けるダメージは穿孔加工に比べて少ない。

#### 【0134】

引き続き、本発明の第三の実施形態に係る半導体装置について図面を参照して



説明する。

図5は本発明の第三の実施形態に係る半導体装置の模式的な断面図であり、図6は本発明の第三の実施形態に係る半導体装置が積層されている状態を模式的に示す断面図である。なお、図5、図6では図1と重複するものについては図1に従って符号を付している。

#### 【0135】

本発明第三の実施形態の半導体装置3は、第一の実施形態と同様の構成を備える半導体装置であって、配線支持体14は半導体素子11の周囲にも配置される。さらに半導体装置3は半導体素子11の周囲に半導体装置3と外部との電氣的接続を行うための接続体52を備える。本実施形態では、配線支持体14が備える第2の貫通部51を充填するように接続体52が配置される。この接続体52の少なくとも一つは配線支持体14を介して半導体素子11上に配置される配線15と電氣的に接続する。

係る構成を備える半導体装置3について、接続体52の上下の端面61、62を電氣的接続点として複数の半導体装置3を積層することで、図6に示すような半導体装置3の積層体3aが形成される。半導体装置3相互の接続を担う接続用導体63は、半田に代表される金属バンプを用いてもよいし、導電ペーストを用いてもよい。

#### 【0136】

なお、本実施形態では、積層体3aを形成するため、接続体52はその二つの端面を半導体装置3の二つの面に露出させるが、外部との電氣的接続領域として一端面のみを露出させても構わない。この場合にも、配線の一部に外部との接続領域を設けることに比べて以下のような利点がある。

半導体装置3の外部との接続を行う領域には、接続用導体63が形成され、これを介して基板配線や他の部品と電氣的に接続を行うこととなる。このとき、半導体装置3の接続領域と接続用導体63及び接続用導体63と基板配線等の外部接続部との接続は単なる接触ではなく、熱的又は機械的加工を行い、物理的接合を形成するための加工が行われる場合が多い。これらの接続点での電氣的接続の長期信頼性を確保するためである。従って、半導体装置3に係る接続領域には、

局所的に機械的な負荷が加えられることとなる。

しかし、接続領域として配線 15 の一部を用いた場合には、その厚みが高々数十  $\mu\text{m}$  であるため、加えられた負荷によって接続領域内部または配線 15 他の部分との間で破断などが発生するおそれがある。

そこで、配線 15 よりも接続加工によって破断しにくい構造を有する接続体 52 を設け、係る接続体 52 で外部との電氣的接続を行うことで、接続工程での不具合の発生が防止される。

### 【0137】

引き続き、本発明の第三の実施形態に係る半導体装置の製造方法について図面を参照して説明する。

図 7 は本発明の第三の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。なお、図 7 では、図 2 との相違点を明確にするために、図 2 と重複するものについては図 2 と同じ符号を付している。

図 7 (a) は接続パッド 203 上にレジストポスト 204 を備える半導体素子 205 が剥離可能な接着剤 206 を介して第 2 のレジストポスト 700 を備える支持体 207 と接合している状態を示す。

図 7 (b) は半導体素子 205 及びその上に形成されているレジストポスト 204、さらに第 2 のレジストポスト 700 を埋設するように支持体 207 上に電気絶縁体 208 が形成されている状態を示す。

図 7 (c) は電気絶縁体 208 が研磨され、電気絶縁体 208 に埋設されるレジストポスト 204 と第 2 のレジストポスト 700 とが露出し、電気絶縁体 208 の表面には平坦面が形成されている状態を示す。

図 7 (d) は電気絶縁体 208 の平坦面に露出するレジストポスト 204 と第 2 のレジストポスト 700 とが除去されて貫通部 209 と第 2 の貫通部 701 とを備える配線支持体 210 が形成されている状態を示す。

図 7 (e) は貫通部 209 の底面にある接続パッド 203 と配線支持体 210 上に形成された配線用導体層 211 とを電氣的に接続しつつ貫通部 209 内部を充填するように、さらに第 2 の貫通部 701 内部を充填するように導体 212 が形成されている状態を示す。

図 7 (f) は配線支持体 210 上の配線用導体層 211 が部分的に除去されて配線 213 をなしている状態を示す。

図 7 (g) は支持体 207 が除去され、接続体 702 の上下端面に接続する接続用導体 703 を介して複数の半導体装置が積層している状態を示す。

#### 【0138】

以降、具体的に図面を参照しつつ製造方法を説明する。なお、以下の説明において、第一の実施形態と重複する内容についての説明は適宜省略する。

#### 【0139】

まず、第一の実施形態と同様の製造工程を行い、レジストポスト 204 を接続パッド 203 上に備える半導体素子 205 を用意する。次に、支持体 207 上に、感光性樹脂からなる第 2 のレジストポスト 700 を形成する。この第 2 のレジストポスト 700 の形成方法は第一の実施態様にて説明したレジストポスト 204 の形成方法と同様である。また、第 2 のレジストポスト 700 の望ましい材料や形状についてもレジストポスト 204 についての望ましい材料や形状と同様である。ただし、第 2 のレジストポスト 700 の高さは、その後に配置される半導体素子 205 が備えるレジストポスト 204 の上端面と、接着剤 206 を介して半導体素子 205 と接合する支持体 207 の当該接合面との距離とほぼ同等とする。少なくとも、レジストポスト 204 と半導体素子 205 との間にある接続パッド 203 のレジストポスト 204 との接続面と、支持体 207 の半導体素子 205 との接続面との距離よりは高くする。その後の研磨工程を行うことで、レジストポスト 204 及び第 2 のレジストポスト 700 の端面電気絶縁体 208 の表面に露出するようにするためである。

続いて、図 7 (a) に示すように、第 2 のレジストポスト 700 を備える支持体 207 上に半導体素子 205 を剥離可能な接着剤 206 を介して支持体 207 上に接合する。このとき、第 2 のレジストポスト 700 が半導体素子 205 の周囲に配置されるように半導体素子 205 を接合する。

#### 【0140】

次に、図 7 (b) に示すように、半導体素子 205 及びその上に形成されているレジストポスト 204 と半導体素子 205 の周囲に形成される第 2 のレジスト

ポスト 700 とを埋設するように支持体 207 上に電気絶縁体 208 を形成する。

なお、レジストポスト 204 と第 2 のレジストポスト 700 との少なくとも一方が電気絶縁体に埋没していなくてもかまわない。

#### 【0141】

引き続き、図 7 (c) に示すように、電気絶縁体 208 の半導体素子 201 と対向する面の反対側の面を研削加工又は研磨加工し、レジストポスト 204 と第 2 のレジストポスト 700 との水平断面を電気絶縁体 208 の研磨面に露出させる。なお、このとき、電気絶縁体 208 の上面には平坦面が形成されるようにする。

#### 【0142】

次に、図 7 (d) に示すように、レジストポスト 204 と第 2 のレジストポスト 700 とを除去して貫通部 209 及び第 2 の貫通部 701 を形成し、表面が平坦化された電気絶縁体 208 を配線支持体 210 とする。

続いて、配線支持体 210 の表面を覆うように配線用導体層 211 を形成し、さらに、配線用導体層 211 と貫通部 209 の底面にある接続パッド 203 とを電氣的に接続するような導体 212 を貫通部 209 内部に形成する。また、導体 212 によって第 2 の貫通部 701 を充填して接続体 702 を形成する。

本実施形態では、第一の実施形態と同様に、配線用導体層 211 と導体 212 とは同一の電気めっき工程で作成して連続体とし、相互の接続界面が発生しないようにする。また、同様に、配線用導体層 211 と接続体 702 とも同一の電気めっき工程で作成して、配線用導体層 211 と接続体 702 とを連続体とする。

以上の工程の結果、図 7 (e) に示すように、配線支持体 210 表面に形成された配線用導体層 211 と貫通部 209 の底面にある接続パッド 203 とが電氣的に接続され、さらに配線用導体層 211 と接続体 702 とが電氣的に接続される。

なお、本実施形態では、貫通部 701 を配線用導体層 211 によって充填したが、必ずしも充填される必要はなく、充填されていない部分があってもかまわない。ただし、この場合には、電氣的特性、特に抵抗値に影響を及ぼさない程度と

することが半導体装置の特性上重要である。

#### 【0 1 4 3】

引き続き、研削加工、研磨加工、或いはCMPなどの従来技術を用いて配線用導体層 2 1 1 の一部を必要に応じて除去し、配線 2 1 3 を形成する。その結果、図 7 (f) に示すように、少なくとも一部の接続パッド 2 0 3 と接続体 7 0 2 とが電氣的に接続される。

#### 【0 1 4 4】

その後、前述の他の実施態様にかかる製造方法と同様の方法を用いて支持体 2 0 7 を除去すると本実施形態に係る半導体装置が完成する。引き続き、接続体 7 0 2 の上下端面に半田バンプなどの接続用導体 7 0 3 を接続し、複数の半導体装置について、それぞれの半導体装置が備える接続体 7 0 2 が接続用導体 7 0 3 を介して電氣的に接続するように積層すると、図 7 (g) に示すような半導体装置の積層体が形成される。

#### 【0 1 4 5】

なお本実施形態では、支持体 2 0 7 を除去しているが、支持体 2 0 7 を除去することなく、例えば半導体素子 2 0 5 の放熱板として用いてもよい。この場合には、本実施形態で半導体素子 2 0 5 と支持体 2 0 7 との間に用いる剥離可能な接着剤 2 0 6 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。また、支持体 2 0 7 に電氣的に絶縁された領域を設け、この領域で接続体 7 0 2 と接続することで、接続体 7 0 2 を複数種類の信号用の配線として用いることが可能となる。

#### 【0 1 4 6】

引き続き、本発明の第四の実施形態に係る半導体装置について図面を参照して説明する。

図 8 は本発明の第四の実施形態に係る半導体装置の模式的な断面図であり、図 9 は本発明の第四の実施形態に係る半導体装置がビルドアップ多層基板を備えた状態で積層されている状態を模式的に示す断面図である。なお、図 8、図 9 では図 5 と重複するものについては図 5 に従って符号を付している。

#### 【0 1 4 7】

本発明第四の実施形態の半導体装置 4 は、第三の実施形態と同様の構成を備える半導体装置であるが、配線支持体 14 を介して半導体素子 11 上に配置される配線 15 は、少なくともその一部が配線支持体 14 に埋設される。

また、導体 16 と配線 15 とは実質的に連続体とし、相互の接合界面を有さない。さらに、第 2 の貫通部 51 を充填する様に配置される接続体 52 と配線 15 とも実質的に連続体とし、相互の接合界面を有さない。係る構成を備えることで、配線部での抵抗値の上昇と雑音発生が抑制される。

さらに本実施形態では、配線支持体 14 の上面、即ち半導体素子 11 と対向する面の反対側の面と配線 15 との段差は  $10\ \mu\text{m}$  以下である。

係る構成を備える半導体装置 4 について、配線支持体 14 上にビルドアップ多層基板 94 を形成し、ビルドアップ多層基板 94 上に形成された接続部 91 と半導体装置 4 が備える接続体 52 の露出端面 92 とを、接続導体 93 を介して電気的に接続するように、複数の半導体装置 4 について積層することで、図 9 に示すようなビルドアップ多層基板 94 を備える半導体装置 4 の積層体 4a が形成される。なお、半導体装置 4 相互の接続に用いる接続用導体 93 は、半田に代表される金属バンプを用いてもよいし、導電ペーストを用いてもよい。

#### 【0148】

引き続き、本発明の第四の実施形態に係る半導体装置の製造方法について図面を参照して説明する。

図 10 は本発明の第四の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。なお、図 10 では、図 2 や図 7 との相違点を明確にするために、図 2 又は図 7 と重複するものについては図 2 や図 7 と同じ符号を付している。

図 10 (a) は接続パッド 203 を備える半導体素子 205 が剥離可能な接着剤 206 を介して支持体 207 と接合している状態を示す。

図 10 (b) は別途作成された配線支持体 210 が、接着剤 301 を介して半導体素子 205 と、さらに剥離可能な接着剤 1001 を介して支持体 207 と接合している状態を示す。

図 10 (c) は配線支持体 210 が備える配線用溝 303 を充填するように配

線用導体層 211 が形成され、配線支持体 210 が備える貫通部 209 の底面にある接続パッド 203 と配線支持体 210 表面に形成された配線用導体層 211 とを電氣的に接続するような導体 212 が貫通部 209 内部に形成され、さらに配線支持体 210 が備える第 2 の貫通部 1002 には電気導体が充填されて接続部 1003 をなしている状態を示す。

図 10 (d) は配線支持体 210 が露出するまで配線支持体 210 上の配線用導体層 211 が研磨されて配線 213 をなしている状態を示す。

図 10 (e) は配線支持体 210 上にビルドアップ多層基板が形成され、さらに支持体 207 が除去されてなる半導体装置について、複数の半導体装置について、半導体装置上に形成されるビルドアップ多層基板の接続部と他の半導体装置が備える接続部 1003 の露出端面とが接続用導体 703 を介して積層している状態を示す。

#### 【0149】

以降、具体的に図面を参照しつつ本実施形態に係る半導体装置の製造方法を説明する。なお、以下の説明において、第二の実施形態と重複する内容についての説明は適宜省略する。

#### 【0150】

まず、第二の実施形態と同様の製造工程を行い、接続パッド 203 を備える半導体素子 205 を用意する。

#### 【0151】

次に、図 10 (b) に示すように、別途作成した配線支持体 210 を接着剤 301 を介して半導体素子 205 と、さらに剥離可能な接着剤 1001 を介して支持体 207 と接合する。ここで、接着剤 1001 は半導体 205 と支持体 207 との接合に用いる剥離可能な接着剤 206 と同一材料であることが望ましい。同一工程で剥離することが可能だからである。

本実施形態では、配線支持体 210 は半導体 205 を内包可能な凹部を有し、凹部底面に貫通部 209 を凹部開口部の枠をなす部分に第 2 の貫通部 1002 を有する。また、凹部底面の反対側の面には、配線用溝 303 を備える。この配線支持体 210 を凹部底面が半導体素子 205 と対向するように配置する。

第2の貫通部1002の形成方法は貫通部209と同様に行う。望ましくは同一の加工方法で行う。例えば成形加工で貫通部209を形成する場合には第2の貫通部1002も同一の成形工程で形成する。生産効率の向上と加工精度の向上するからである。

#### 【0152】

引き続き、図10(c)に示すように、配線支持体210が備える配線用溝303を充填するように配線用導体層211を形成する。さらに、本実施形態では配線用導体層211の形成工程で同時に貫通部209と第2の貫通部1002を充填する。即ち、本実施形態では配線用導体層211と導体212と接続部1003とは同一材料である。従って、配線用導体層211と導体212との接合界面及び配線用導体層211と第2の導体1003との接合界面は形成されない。本実施形態に係る半導体装置の製造方法では、具体的には、電気めっきを用いて配線用導体層211と導体212と接続部1003とを形成する。

#### 【0153】

次に、配線支持体210上の配線用導体層211を除去し、配線用溝303を充填する配線用導体層211のうち隣接するもの同士で短絡が発生しないようにする。除去方法としては、CMPなどの平坦化研磨加工が好ましい。その結果、図10(d)に示すように、配線支持体210の加工によって形成されたほぼ平坦な面に、少なくとも一部が埋設された配線213が形成される。

このとき、配線支持体210の露出面と配線213との段差は $10\mu\text{m}$ 以下であることが望ましい。本実施例では配線支持体210上に直接ビルドアップ多層基板を作成する可能性があるので、段差が $10\mu\text{m}$ より大きい場合には、ビルドアップ多層基板内の配線に断線が发せする可能性が高くなるためである。

#### 【0154】

引き続き、配線支持体210上にビルドアップ多層基板を配置する。図10(e)に示すように、配線支持体210上に直接形成してもよいし、別途形成したビルドアップ多層基板を適当な接続用部材、例えば半田バンプや導電性ペーストを用いて接合してもよい。

#### 【0155】



その後、前述の他の実施態様にかかる製造方法と同様の製造方法によって支持体 207 を除去し、ビルドアップ多層基板上に形成された接続部と半導体装置が備える接続部 1003 の露出端面とを接続用導体 703 を介して電氣的に接続するように複数の半導体装置を積層することで、図 10 (e) に示すようなビルドアップ多層基板を備える半導体装置の積層体が形成される。なお、半導体装置相互の接続に用いる接続用導体は、半田に代表される金属バンプを用いてもよいし、導電ペーストを用いてもよい。

#### 【0156】

なお本実施形態では、支持体 207 を除去しているが、支持体 207 を除去することなく、例えば半導体素子 205 の放熱板として用いてもよい。この場合には、本実施形態で半導体素子 205 と支持体 207 との間に用いる剥離可能な接着剤 206 の代わりに、従来技術で用いられるようなエポキシ系樹脂などからなる耐熱性接着剤を用いるとよい。また、支持体 207 に導体を用いる場合には、接続体 1003 と支持体 207 との間に用いる剥離可能な接着剤 206 の代わりに、導電性接着剤を用いるとよい。さらに、また、支持体 207 に電氣的に絶縁された領域を設け、この領域で接続体 1003 と接続することで、接続体 1003 を複数種類の信号用の配線として用いることが可能となる。

#### 【0157】

また、本実施形態に係る製造方法を用いることで、第三の実施形態に係る半導体装置を製造してもよい。この場合は、配線用溝 303 を備えない配線支持体 210 を用い、配線用導体層 211 を形成した後、従来技術であるフォトリソレーションを用いて配線用導体層 211 を部分的に除去することで、配線 213 を形成するとよい。

#### 【発明の効果】

#### 【0158】

本発明に係る半導体装置又は本発明に係る半導体装置の製造方法によって製造された半導体装置は、接続パッドが狭ピッチ化した半導体素子を内在していても、以下のような効果が得られる。

まず、近接配線間又は近接導体間の短絡による不良や雑音による誤動作が起こ

りにくい。

また、配線間の信号干渉による誤動作が起こりにくい。

また、係る半導体装置の単位体積当たりの発熱量が極端に増加しにくく、発生した熱を放出しやすいので熱に起因する誤動作が発生しにくい。

また、配線支持体の劣化に由来する長期信頼性の低下が起こりにくい。

また、係る半導体装置として接地電位の不安定さに起因する誤動作が発生しにくい。

また、係る半導体装置とこれに接続する基板等との相互配置の自由度が高まる。

さらに、再配線層を係る半導体装置上に構成する場合には、再配線層での不良が起こりにくい。

さらに、係る半導体装置の基板等への組み付け後の信頼性が高い。

さらに、係る半導体装置を組み付けてなる基板等は小型化と高機能化とが実現される。

また、本発明に係る製造方法を用いることで、加工性能及び半導体素子へのダメージの観点から従来の製造方法では達成することが困難であったような小ピッチ接続パッドを備える半導体素子を内在する半導体装置を、高精度にかつ半導体にダメージを与えることなく製造することができる。

#### 【図面の簡単な説明】

【図 1】 本発明の第一の実施形態に係る半導体装置の模式的な断面図である。

【図 2】 本発明の第一の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【図 3】 本発明の第二の実施形態に係る半導体装置の模式的な断面図である。

【図 4】 本発明の第二の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【図 5】 本発明の第三の実施形態に係る半導体装置の模式的な断面図である。

【図 6】 本発明の第三の実施形態に係る半導体装置が積層されている状態を模式的に示す断面図である。

【図 7】 本発明の第三の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【図 8】 本発明の第四の実施形態に係る半導体装置の模式的な断面図である。

【図 9】 本発明の第四の実施形態に係る半導体装置がビルドアップ多層基板を備えた状態で積層されている状態を模式的に示す断面図である。

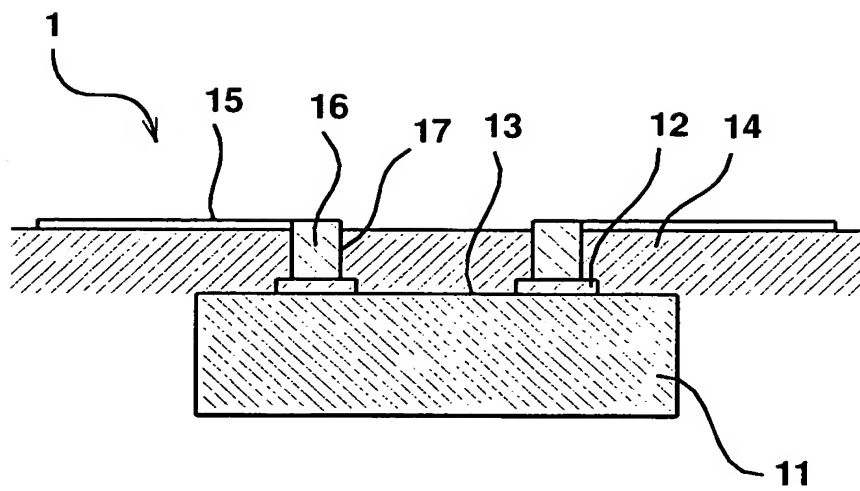
【図 1 0】 本発明の第四の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【符号の説明】

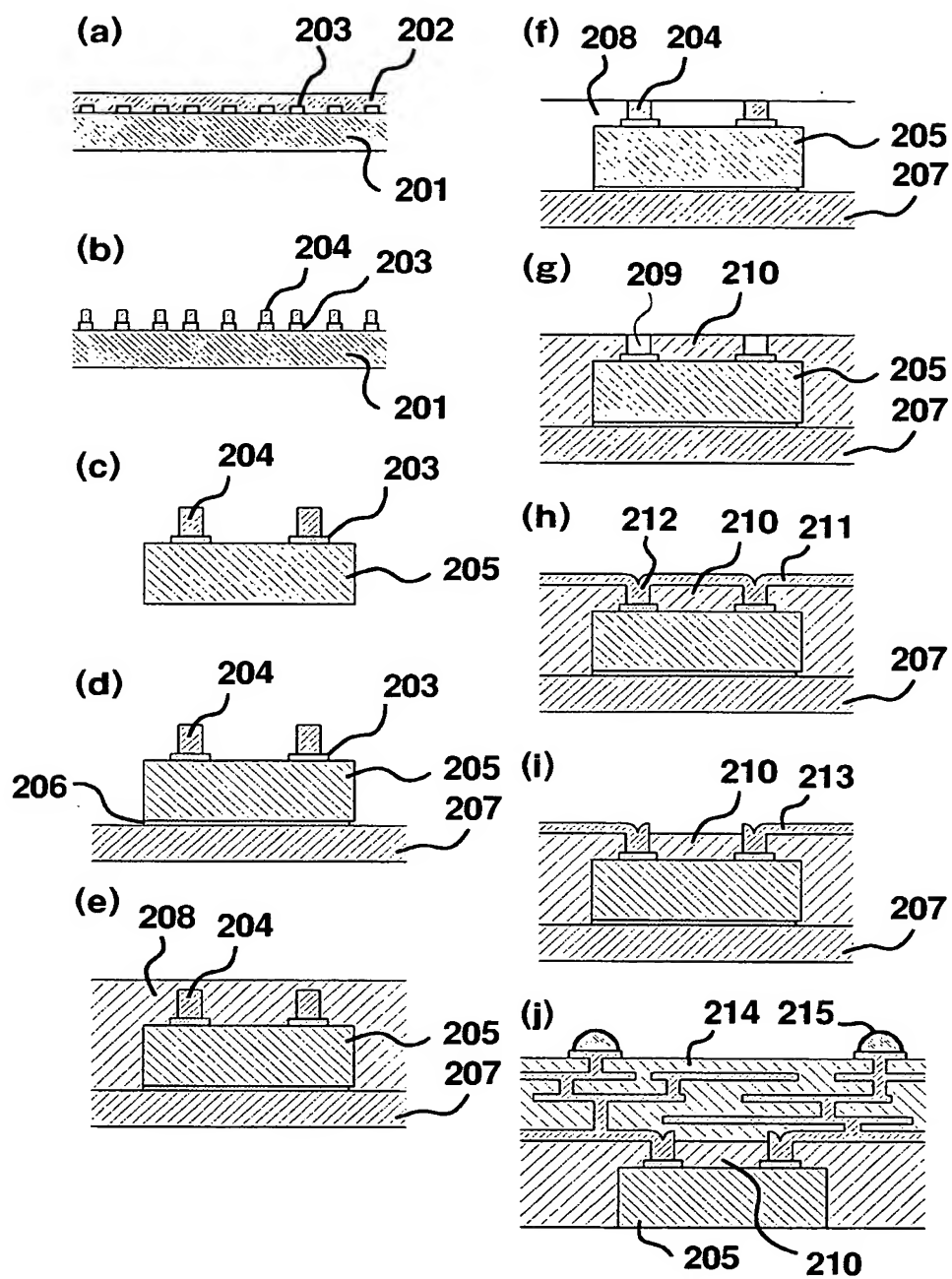
- 1            半導体装置
- 1 1          半導体素子
- 1 2          接続パッド
- 1 3          半導体素子の接続パッドを備える面
- 1 4          配線支持体
- 1 5          配線
- 1 6          導体
- 1 7          貫通部

【書類名】 図面

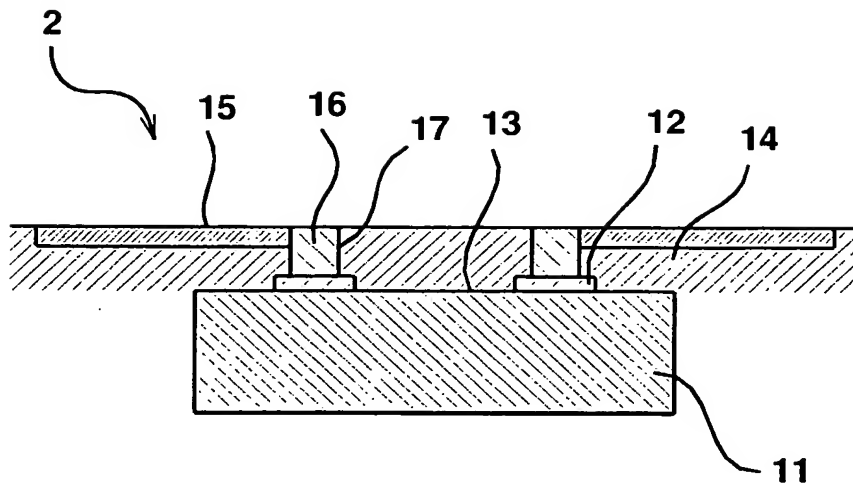
【図 1】



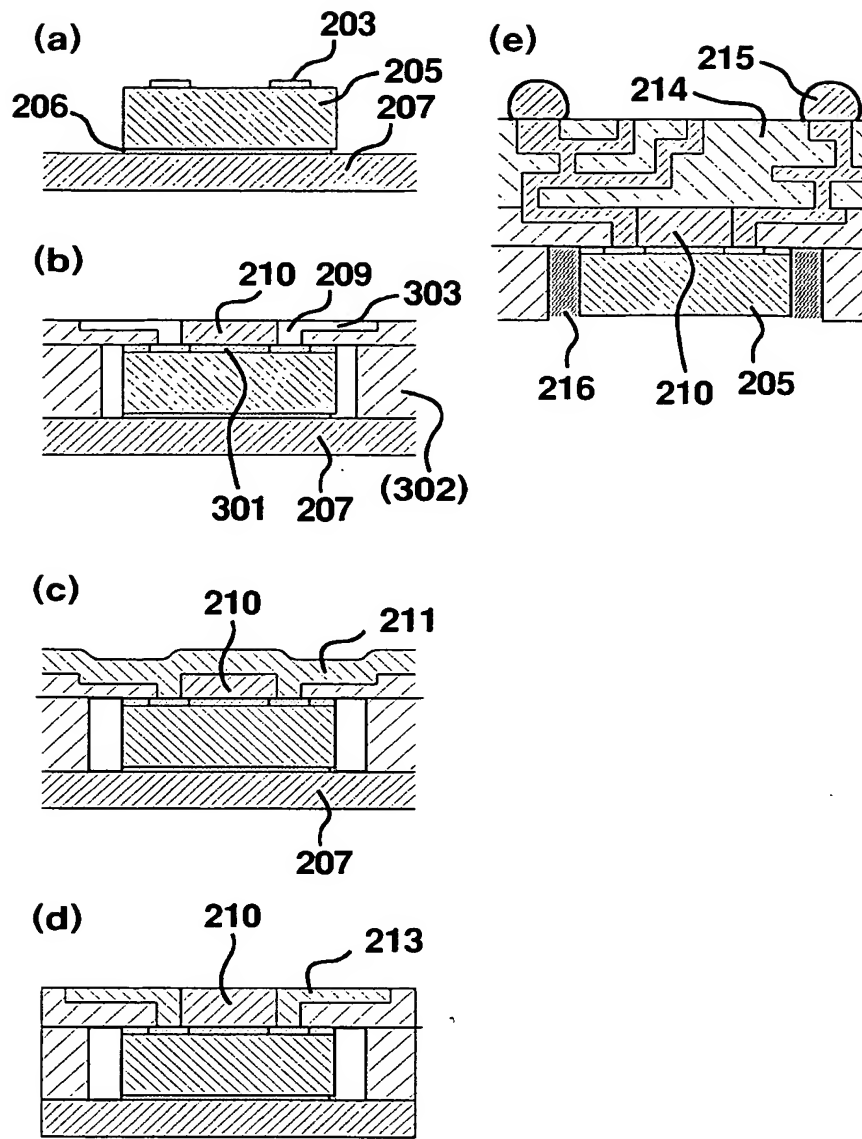
【図 2】



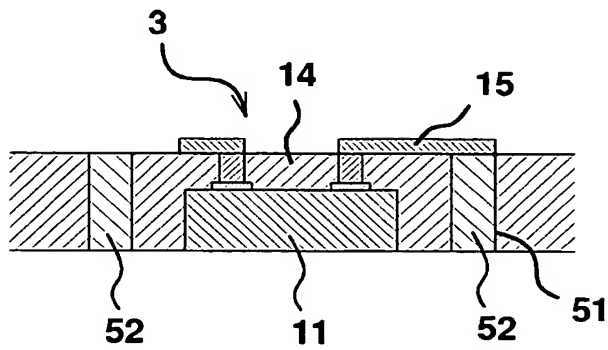
【図 3】



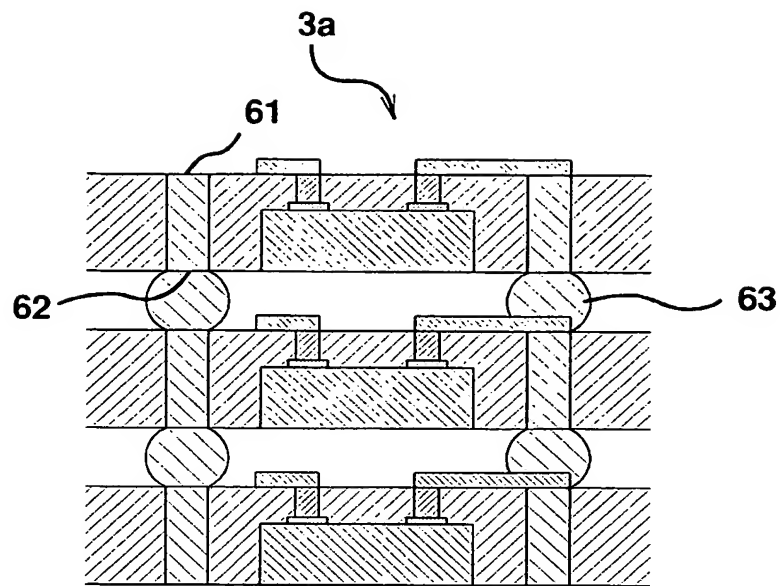
【図 4】



【図 5】

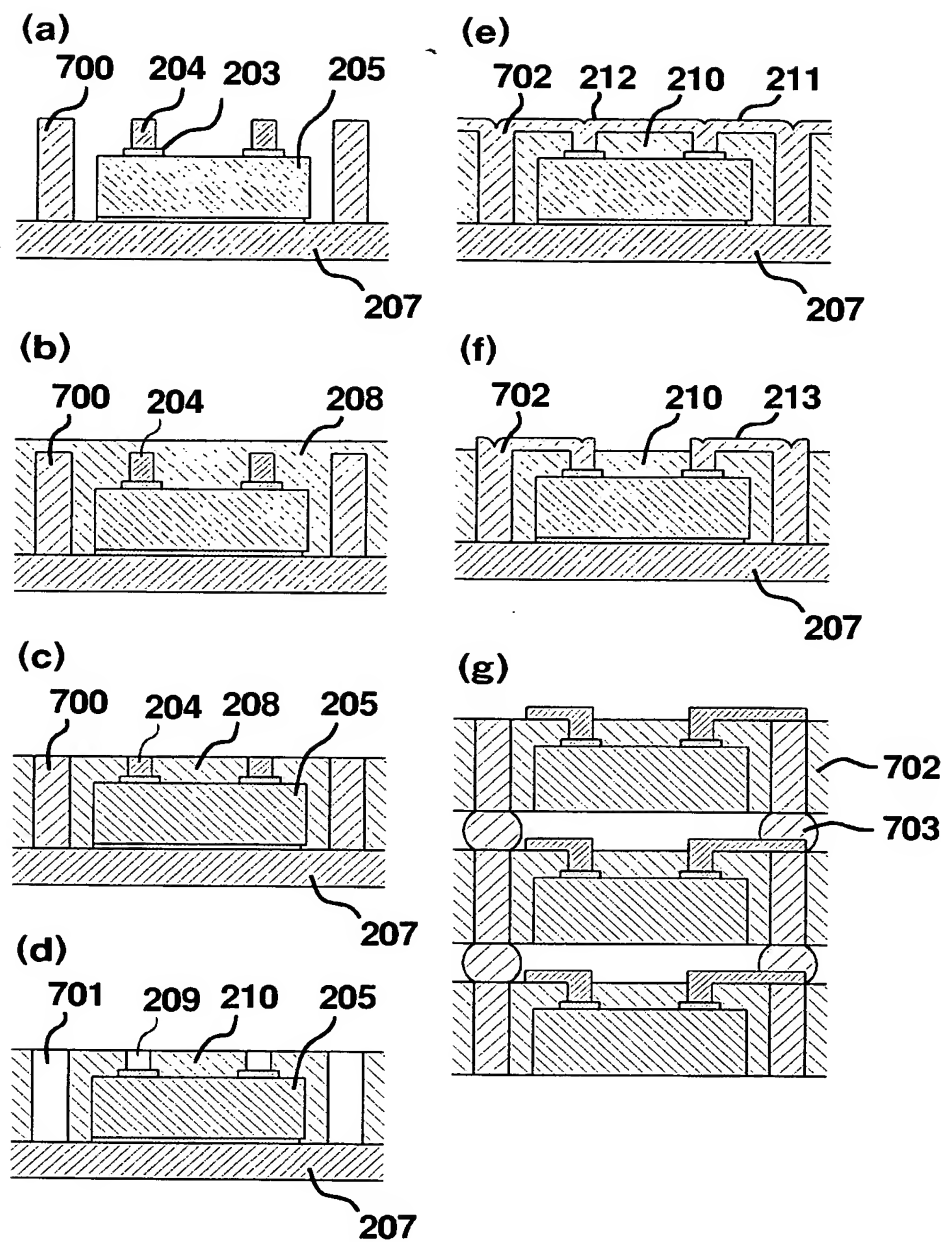


【図 6】

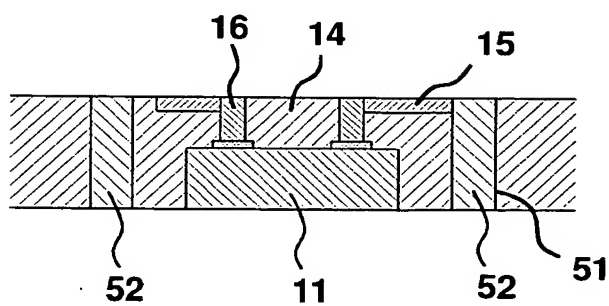




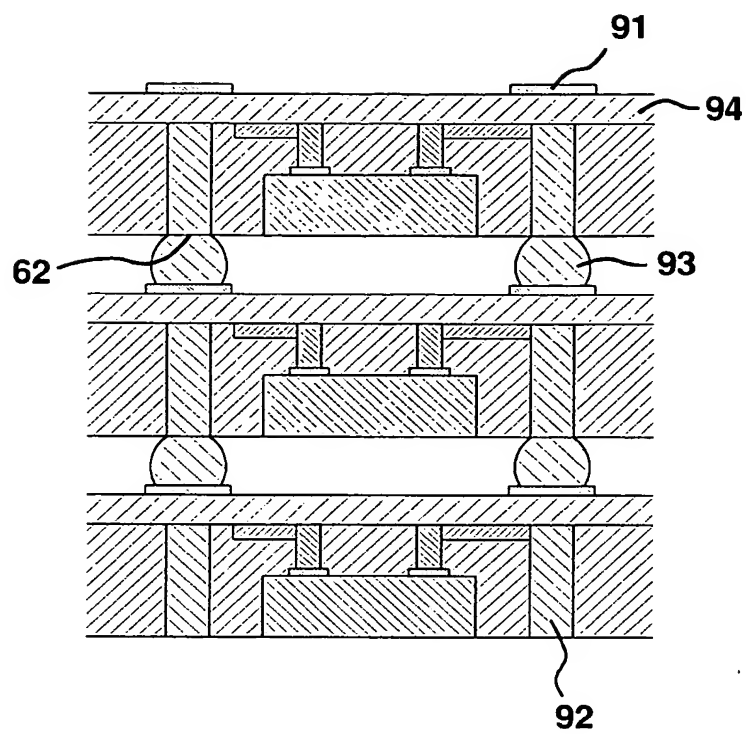
【図 7】



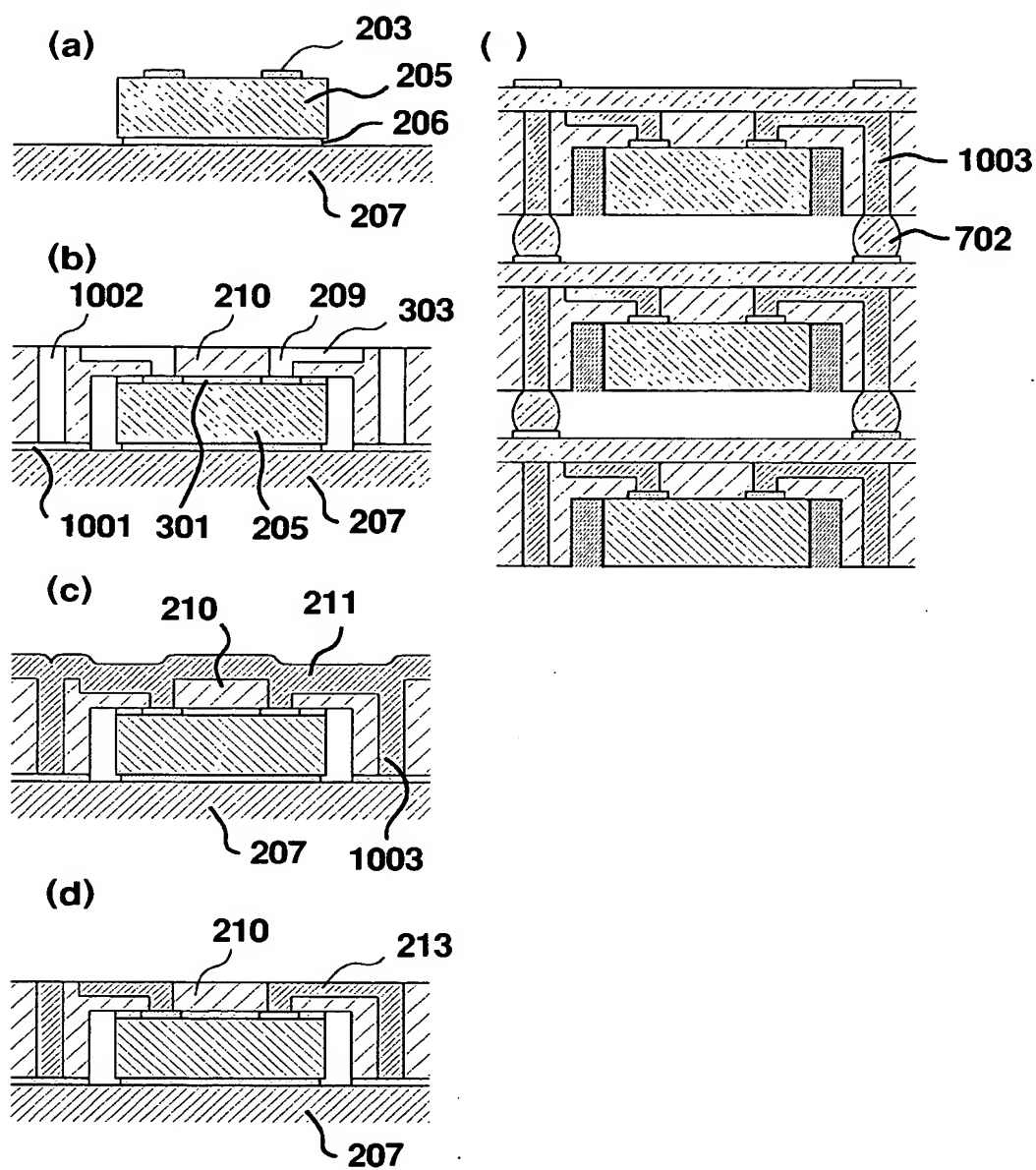
【図 8】



【図 9】



【図 10】



**【書類名】 要約書****【要約】**

**【課題】** 接続パッドが狭ピッチ化した半導体素子を内在する半導体装置に懸念される性能上のトラブルが発生しにくい半導体装置を提供し、さらに接続パッドが狭ピッチ化したことで顕在化が懸念される製造上のトラブルが発生しにくい製造方法を提供する。

**【解決手段】** 半導体素子 11 と配線 15 との間に配線支持体 14 を存在させ、配線支持体上に配置される配線が直接半導体素子と接触しないようにする。また、配線 15 と接続パッド 12 とを電氣的に接続する導体 16 を内包する貫通体 17 はその形状がアスペクト比 1 以上とする。係る形状の貫通体を形成するために、予め容易に除去できるレジストポストを接続パッド 12 上に形成したり、予め別工程で作成した貫通体 17 を備える配線支持体を半導体素子 11 上に配置したりする。

**【選択図面】** 図 1

特願 2 0 0 3 - 0 3 0 1 1 9

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社